

23. 6. 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月11日
Date of Application:

出願番号 特願2003-273800
Application Number:
[ST. 10/C]: [JP2003-273800]

出願人 松下電器産業株式会社
Applicant(s):

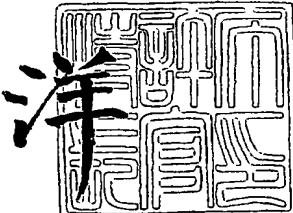
RECEIVED
12 AUG 2004
WIPO PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 7月30日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 2110040281
【提出日】 平成15年 7月11日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/28
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 庄司 秀彦
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 大平 一雄
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100098305
 【弁理士】
 【氏名又は名称】 福島 祥人
 【電話番号】 06-6330-5625
【手数料の表示】
 【予納台帳番号】 032920
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0006013

【書類名】特許請求の範囲**【請求項 1】**

複数群に分類された第1の電極、前記第1の電極に交差するように設けられた第2の電極および前記第1の電極と前記第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、

前記ドライブ回路は、

第1の電源電圧を受ける第1の電源端子と第1のノードとの間に設けられた第1のスイッチング素子と、

接地電位を受ける接地端子と前記第1のノードとの間に設けられた第2のスイッチング素子と、

前記第1のノードと第2のノードとの間に設けられた誘導性素子と、

前記第2のノードと第3のノードとの間に設けられた第3のスイッチング素子と、

前記第2のノードと前記第3のノードとの間に設けられた第4のスイッチング素子と、

前記第3のノードに接続された回収用容量性素子と、

前記第3のノードの電位が前記第1の電源電圧よりも低い所定値を超えないように前記第3のノードの電位を制限する電位制限回路とを含み、

前記アドレス期間において、前記第3のスイッチング素子がオンすることにより前記回収用容量性素子から前記誘導性素子を通して前記第1のノードに電荷を放出し、前記第1のスイッチング素子がオンすることにより前記第1のノードの電位を前記第1の電源電圧に立ち上げ、前記第4のスイッチング素子がオンすることにより前記第1のノードから前記誘導性素子を通して前記回収用容量性素子に電荷を回収することによって、前記第1のノードに前記データパルスを発生するための駆動パルスを発生することを特徴とする表示装置。

【請求項 2】

前記ドライブ回路は、

前記第1の電極に対応して設けられる第1のスイッチング回路をさらに含み、

前記第1のスイッチング回路がオンすることにより、前記第1のノードと対応する前記第1の電極との間で電荷の回収および放出が行われ、前記第1のスイッチング回路の各々がオフすることにより、対応する前記第1の電極が前記接地電位に設定されるように動作することを特徴とする請求項1記載の表示装置。

【請求項 3】

前記電位制限回路は、

前記第1の電源電圧と前記接地電位との間の電圧を分割することにより前記所定値にはほぼ等しい電位を生成する分割回路と、

前記第3のノードと前記接地端子との間に接続されるとともに前記分割回路により生成される電位を制御信号として受け、前記第3のノードの電位が前記所定値を超える場合にオンする第2のスイッチング回路とを含むことを特徴とする請求項1または2記載の表示装置。

【請求項 4】

前記電位制限回路は、

前記所定値にはほぼ等しい第2の電源電圧を受ける第2の電源端子と、

前記第3のノードと前記接地端子との間に接続されるとともに前記第2の電源端子が受ける前記第2の電源電圧を制御信号として受け、前記第3のノードの電位が前記所定値を超える場合にオンする第2のスイッチング回路とを含むことを特徴とする請求項1または2記載の表示装置。

【請求項 5】

前記第2のスイッチング回路は、

前記第3のノードと第4のノードとの間に設けられ、前記第3のノードから前記第4の

ノードへ電流を流す一方向性導通素子と、

前記第4のノードと前記接地端子との間に設けられ、前記制御信号を受ける制御端子を有する第5のスイッチング素子とを含むことを特徴とする請求項3または4記載の表示装置。

【請求項6】

前記電位制限回路は、

前記第3のノードと前記接地端子との間に設けられ、前記第3のノードの電位が前記所定値を超える場合に前記第3のノードから前記接地端子に電流を流す一方向性導通素子を含むことを特徴とする請求項1または2記載の表示装置。

【請求項7】

前記一方向性導通素子は、ツエナーダイオードであることを特徴とする請求項6記載の表示装置。

【請求項8】

前記第1のスイッチング素子をオンするために、前記第1のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備えることを特徴とする請求項1～7のいずれかに記載の表示装置。

【請求項9】

前記チャージポンプ回路は、

前記第1のノードと第5のノードとの間に設けられる充電用容量素子と、

第3の電源電圧を受ける第3の電源端子と前記第5のノードとの間に設けられ、前記第2の電源端子から前記第5のノードに電流を流す一方向性導通素子と、

前記第1のノードの電位に前記第5のノードの電位を加算し、加算された電位を前記第1のスイッチング素子に制御信号として出力する制御信号出力回路とを含むことを特徴とする請求項8記載の表示装置。

【請求項10】

前記所定値は、前記第1の電源電圧の2分の1よりも高く、前記第1の電源電圧の5分の4以下であることを特徴とする請求項1～9のいずれかに記載の表示装置。

【請求項11】

前記位相差は、200n s以上であることを特徴とする請求項1～10のいずれかに記載の表示装置。

【請求項12】

前記ドライブ回路を複数有し、

複数の前記ドライブ回路は前記複数群にそれぞれ対応して設けられ、

複数の前記ドライブ回路は、前記複数群で互いに位相差が生じるようにそれぞれ前記複数群の前記第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加することを特徴とする請求項1～11のいずれかに記載の表示装置。

【請求項13】

複数群に分類された第1の電極、前記第1の電極に交差するように設けられた第2の電極および前記第1の電極と前記第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

誘導性素子および回収用容量性素子を含むドライブ回路とを備える表示装置の駆動方法であって、

前記ドライブ回路において、前記表示パネルの選択された容量性発光素子を発光させるためのアドレス期間に、前記回収用容量性素子から前記誘導性素子を通して前記第1のノードに電荷を放出し、前記第1のノードの電位を第1の電源電圧に立ち上げ、前記第1のノードから前記誘導性素子を通して前記回収用容量性素子に電荷を回収することによって、前記第1のノードに駆動パルスを発生するステップと、

前記回収用容量性素子の一端の電位が前記第1の電源電圧よりも低い所定値を超えないように電位を制限するステップと、

前記アドレス期間に、前記第1のノードの駆動パルスに基づいて、前記複数群で互いに

位相差が生じるよう、それぞれ前記複数群の第1の電極に選択された容量性発光素子を発光させるための前記データパルスを印加するステップとを含むことを特徴とする表示装置の駆動方法。

【書類名】明細書

【発明の名称】表示装置およびその駆動方法

【技術分野】

【0001】

本発明は、複数の放電セルを選択的に放電させて画像を表示する表示装置およびその駆動方法に関する。

【背景技術】

【0002】

画像を表示する表示装置の分野において、プラズマディスプレイパネル（以下、PDPと略記する。）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、画素を構成する放電セルの放電の際の発光を利用することにより画像を表示している。

【0003】

プラズマディスプレイ装置は、駆動形式によりAC型およびDC型に大別される。

【0004】

図22は、従来のAC型プラズマディスプレイ装置の基本構成を示すブロック図である。

【0005】

図22のプラズマディスプレイ装置900は、アナログ/デジタル変換器（以下、A/Dコンバータと呼ぶ。）910、映像信号-サブフィールド対応付け器920、サブフィールド処理器930、データドライバ940、スキャンドライバ950、サステインドライバ960およびPDP970を備える。

【0006】

A/Dコンバータ910には、アナログの映像信号VDが入力される。A/Dコンバータ910は、映像信号VDをデジタルの画像データに変換し、映像信号-サブフィールド対応付け器920へ出力する。映像信号-サブフィールド対応付け器920は、1フィールドを複数のサブフィールドに分割して表示するため、1フィールドの画像データから各サブフィールドの画像データSPを生成し、サブフィールド処理器930へ出力する。

【0007】

サブフィールド処理器930は、サブフィールドごとの画像データSPからデータドライバ駆動制御信号DS、スキャンドライバ駆動制御信号CSおよびサステインドライバ駆動制御信号USを生成し、それぞれデータドライバ940、スキャンドライバ950およびサステインドライバ960へ出力する。

【0008】

PDP970は、複数のアドレス電極（データ電極）911、複数のスキャン電極（走査電極）912および複数のサステイン電極（維持電極）913を含む。複数のアドレス電極911は、画面の垂直方向に配列され、複数のスキャン電極912および複数のサステイン電極913は、画面の水平方向に配列されている。また、複数のサステイン電極913は、共通に接続されている。

【0009】

アドレス電極911、スキャン電極912およびサステイン電極913の各交点には、放電セル914が形成され、各放電セル914が画面上の画素を構成する。

【0010】

データドライバ940は、PDP970の複数のアドレス電極911に接続されている。スキャンドライバ950は、各スキャン電極912ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP970の対応するスキャン電極912に接続されている。サステインドライバ960は、PDP970の複数のサステイン電極913に接続されている。

【0011】

データドライバ940は、データドライバ駆動制御信号DSに従い、書き込み期間にお

いて、画像データSPに応じてPDP970の該当するアドレス電極911にデータパルスを印加する。スキャンドライバ950は、スキャンドライバ駆動制御信号CSに従い、書き込み期間において、シフトパルスを垂直走査方向にシフトしつつPDP970の複数のスキャン電極912に書き込みパルスを順に印加する。これにより、該当する放電セル914においてアドレス放電が行われる。

【0012】

また、スキャンドライバ950は、スキャンドライバ駆動制御信号CSに従い、維持期間において、周期的な維持パルスをPDP970の複数のスキャン電極912に印加する。一方、サステインドライバ960は、サステインドライバ駆動制御信号USに従い、維持期間において、PDP970の複数のサステイン電極913に、スキャン電極912の維持パルスに対して 180° 位相のずれた維持パルスを同時に印加する。これにより、該当する放電セル914において維持放電が行われる。

【0013】

図23は、図22のPDP7におけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図である。

【0014】

初期化期間には、複数のスキャン電極912に初期セットアップパルスPsetが同時に印加される。その後、書き込み期間において、映像信号に応じてオンまたはオフするデータパルスPdaが各アドレス電極911に印加され、このデータパルスPdaに同期して複数のスキャン電極912に書き込みパルスPwが順に印加される。これにより、PDP970の選択された放電セル914において順次アドレス放電が起こる。

【0015】

次に、維持期間において、複数のスキャン電極912に維持パルスPscが周期的に印加され、複数のサステイン電極913に維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して 180° ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0016】

このようなプラズマディスプレイ装置においては、近年、大画面化および高精細化に伴う放電セル14の数の増加（画素の増加）が顕著である。放電セル14の数が増加することにより、アドレス放電時に1つのスキャン電極912上に流れるアドレス放電電流のピーク電流値が増大する場合がある。アドレス放電電流のピーク電流値が増大すると、スキャン電極912に印加される書き込みパルスPwに大きな電圧降下が発生する。その結果、アドレス放電が不安定となる。したがって、安定したアドレス放電を行うためにはスキャン電極912に印加すべき書き込みパルスPwの電圧SH2を高く設定しなければならない。

【0017】

これに対し、アドレス放電電流のピーク電流値を低減させる方法として、図22のデータドライバ940を複数に分割し、複数のデータドライバ間でアドレス電極に印加するデータパルスPdaへ位相差を与えるプラズマディスプレイパネルの駆動方法が提案されている（例えば、特許文献1参照）。

【0018】

このプラズマディスプレイパネルの駆動方法について説明する。

【0019】

図24は複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置のPDP970の表示状態の一例を示す模式図であり、図25はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。データパルス位相差は後述する。

【0020】

図24において、第1および第2のデータドライバ940a, 940bは図22のサブフィールド処理器930に接続されている。PDP970は、複数のアドレス電極911

a, 911bを含む他は図22のPDP970と同様の構成を有する。

【0021】

第1のデータドライバ940aが図23のデータパルスPdaをアドレス電極911aに印加するタイミングと、第2のデータドライバ940bが図23のデータパルスPdaをアドレス電極911bに印加するタイミングとの間のずれTRについて図25を参照しながら説明する。

【0022】

以下の説明において、第1および第2のデータドライバ940a, 940bの各々が、データパルスPdaをアドレス電極911a, 911bに印加するタイミングをデータパルス印加タイミングと呼ぶ。また、アドレス電極911aに対するデータパルス印加タイミングとアドレス電極911bに対するデータパルス印加タイミングとのずれTRをデータパルス位相差TRと呼ぶ。

【0023】

図24では、PDP970上の放電セル914のうち上から第1行目のスキャン電極912f上の放電セル914の全てが発光している。

【0024】

上から第1行目のスキャン電極912f上の放電セル914を発光させる場合を想定する。図25(a)に示すように、データパルス位相差TRが存在しない場合、アドレス電極911a上の放電セル914とアドレス電極911b上の放電セル914とは、同じタイミングt1でアドレス放電を起こす。それにより、スキャン電極912fには1つのピークを有する放電電流DA2が発生する。

【0025】

この場合、スキャン電極912fには、アドレス電極911a上の放電セル914およびアドレス電極911b上の放電セル914の放電電流が同時に流れため、放電電流DA2の振幅AM2は、大きくなる。それにより、スキャン電極912fに印加される書き込みパルスPwに大きな電圧降下E2が発生する。その結果、上述のようにアドレス放電が不安定となる。

【0026】

これに対し、図25(b)に示すように、データパルス位相差TRが存在する場合、アドレス電極911a上の放電セル914は、タイミングt1でアドレス放電を起こし、アドレス電極911b上の放電セル914は、タイミングt2でアドレス放電を起こす。それにより、スキャン電極912fには2つのピークを有する放電電流DA1が発生する。

【0027】

この場合、スキャン電極912fには、アドレス電極911a上の放電セル914の放電電流およびアドレス電極911b上の放電セル914の放電電流が異なるタイミングt1, t2で流れため、放電電流DA1の振幅AM1は、データパルス位相差TRが大きくなるにつれて小さくなる。それにより、スキャン電極912fに印加される書き込みパルスPwに発生する電圧降下量E1もデータパルス位相差TRが大きくなるにつれて小さくなる。したがって、スキャン電極912fに印加すべき書き込みパルスPwの電圧SH1を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差TRを大きく設定することにより、放電セル914の安定した放電を確保しつつ書き込みパルスPwの電圧(駆動電圧)を低減することができる。

【0028】

ところで、図22のプラズマディスプレイ装置900では、PDP970の複数の放電セル914がコンデンサの働きを有する。以下、PDP970の複数の放電セル914の容量をパネル容量と呼ぶ。

【0029】

上記の書き込み期間において、各アドレス電極911にデータパルスPdaが印加される際のデータドライバ940における回路損失(電力損失)は、パネル容量と各アドレス電極911に印加される駆動電圧の二乗との積に比例する。この関係を数式で表すと次の

ようになる。

【0030】

$$P \propto C_p \times V_p^2 \quad \dots \quad (1)$$

上式(1)において、Pは回路損失であり、C_pはパネル容量であり、V_pは駆動電圧である。この場合、駆動電圧V_pはデータパルスP_{da}の電圧である。

【0031】

したがって、書き込み期間におけるプラズマディスプレイ装置900全体の消費電力は、PDP970の大型化(パネル容量の増加)および駆動電圧の上昇にともない増加する。そこで、プラズマディスプレイ装置900の消費電力を低減する(回路損失を低減する)ために電力回收回路が開発されている。

【0032】

図26は、従来の電力回收回路の一例を示す回路図である。図26において、電力回收回路980は図22のデータドライバ940に内蔵されたデータドライバ集積回路と接続されている。また、データドライバ集積回路は、PDP970の複数のアドレス電極911に接続されている。

【0033】

なお、図26では、各アドレス電極911により形成される複数の放電セル914の容量をアドレス電極容量C_{p1}～C_{pn}とし、これらの総和をパネル容量C_pとして表す。

【0034】

電力回收回路980は、回収コンデンサC1、回収コイルL、Nチャネル電界効果トランジスタ(以下、トランジスタと略記する。)Q1～Q4およびダイオードD1、D2を含む。

【0035】

回収コンデンサC1は、ノードN3と接地端子との間に接続されている。ノードN3とノードN2との間にトランジスタQ4およびダイオードD2が直列に接続され、ノードN2とノードN3との間にダイオードD1およびトランジスタQ3が直列に接続されている。

【0036】

回収コイルLは、ノードN2とノードN1との間に接続されている。ノードN1と電源端子V1との間にトランジスタQ1が接続され、ノードN1と接地端子との間にトランジスタQ2が接続されている。

【0037】

電源端子V1には電源電圧V_{da}が与えられる。トランジスタQ1～Q4のゲートには、それぞれ制御信号S1～S4が与えられる。トランジスタQ1～Q4は制御信号S1～S4に基づいてオン／オフの切替動作を行う。

【0038】

図27は、図26の電力回收回路980の書き込み期間の動作を示すタイミング図である。図27には、図26のノードN1の電圧NV1およびトランジスタQ1～Q4の各々に印加される制御信号S1～S4の波形が示されている。なお、制御信号S1～S4がハイレベルの場合にトランジスタQ1～Q4はオンし、制御信号S1～S4がローレベルの場合にトランジスタQ1～Q4はオフする。

【0039】

期間TAにおいて、制御信号S3はハイレベルであり、制御信号S1、S2、S4はローレベルである。これにより、トランジスタQ3がオンし、トランジスタQ1、Q2、Q4がオフする。この場合、回収コンデンサC1がトランジスタQ3およびダイオードD1を介して回収コイルLに接続され、回収コイルLおよびパネル容量C_pによるLC共振により、ノードN1の電圧NV1が緩やかに上昇する。このとき、回収コンデンサC1の電荷がトランジスタQ3、ダイオードD1および回収コイルLを介してパネル容量C_pへ放出される。

【0040】

期間T Bにおいて、制御信号S 1はハイレベルであり、制御信号S 2～S 4はローレベルである。これにより、トランジスタQ 1がオンし、トランジスタQ 2～Q 4がオフする。この場合、ノードN 1の電圧N V 1が急激に上昇し、電源電圧V d aに固定される。

【0041】

期間T Cにおいて、制御信号S 4はハイレベルであり、制御信号S 1～S 3はローレベルである。これにより、トランジスタQ 4がオンし、トランジスタQ 1～Q 3がオフする。この場合、回収コンデンサC 1がダイオードD 2およびトランジスタQ 4を介して回収コイルLに接続され、回収コイルLおよびパネル容量C pによるLC共振により、ノードN 1の電圧N V 1が緩やかに下降する。このとき、パネル容量C pに蓄えられた電荷は回収コイルL、ダイオードD 2およびトランジスタQ 4を介して回収コンデンサC 1に蓄えられる。これにより、電力が回収される。

【0042】

期間T Dにおいて、制御信号S 2はハイレベルであり、制御信号S 1, S 3, S 4はローレベルである。これにより、トランジスタQ 2がオンし、トランジスタQ 1, Q 3, Q 4がオフする。この場合、ノードN 1が接地端子に接続され、ノードN 1の電圧N V 1が急激に下降し、接地電位に固定される。

【0043】

このように、電力回收回路980によれば、パネル容量C pに蓄積された電荷が回収コンデンサC 1に回収されるとともに、回収された電荷が再びパネル容量C pに与えられる。以下、パネル容量C pより回収コンデンサC 1に回収された電荷に基づく電力を回収電力と呼ぶ。

【0044】

これにより、上述の回路損失を低減することが可能となり、プラズマディスプレイ装置900全体の消費電力を低減することができる。なお、図27においては、矢印R Qで示す電圧変化が回収電力に相当し、矢印L Qで示す電圧変化が回路損失に相当する。

【特許文献1】特開平8-305319号公報

【発明の開示】

【発明が解決しようとする課題】

【0045】

しかしながら、上述の電力回收回路980によれば、必ずしも十分な電力回収が行われるとは限らない。この理由について、図28および図29に基づき説明する。

【0046】

図28はPDP7の表示状態の一例を示す模式図であり、図29は図28の表示状態を得るためにアドレス電極に印加されるデータパルスの波形図である。なお、図28では図22のPDP970の一部のみが示されている。

【0047】

図28(a)では、各アドレス電極911に設けられた4つの画素(放電セル)が、上から「黒」、「白」、「黒」、「黒」を表示する一例が示されている。すなわち、PDP970の上から2番目の行の画素(放電セル)のみがアドレス放電する例である。

【0048】

図26の電力回收回路980を用いない場合、データパルスP d aは電源からの電力供給により生成される。この場合のデータパルスP d aの波形の一例を図29(a)に示す。図29(a)においては、矢印L Qで示す電圧変化が回路損失に相当する。

【0049】

電力回收回路980を用いる場合、データパルスP d aは電源からの電力供給および上述のパネル容量C pからの電力回収により生成される。この場合のデータパルスP d aの波形の一例を図29(b)に示す。図29(b)においては、矢印L Qで示す電圧変化が回路損失に相当し、矢印R Qで示す電圧変化が回収電力に相当する。

【0050】

図29(a)および図29(b)によれば、電力回收回路980が用いられることによ

り、データパルス P d a の生成時のデータドライバ 940 における回路損失がパネル容量 C p からの回収電力により低減される。

【0051】

一方、図 28 (b) では、各アドレス電極 911 に設けられた 4 つの画素が、上から「白」、「白」、「白」、「白」を表示する一例が示されている。すなわち、PDP 970 の全ての画素がアドレス放電する例である。この場合、各アドレス電極 911 には連続して複数のデータパルス P d a が印加される。

【0052】

ここで、電力回收回路 980 を用いずに、連続したデータパルス P d a を 1 つまとめたデータパルス S P d a として各アドレス電極 911 に印加する場合を想定する。

【0053】

データパルス P d a, S P d a の波形の一例を図 29 (c) に示す。図 29 (c)においては、矢印 L Q が回路損失に相当する。この場合、データパルス S P d a の立ち上がり時にデータドライバ 940 における回路損失が生じ、個々のデータパルス P d a 間ではデータドライバ 940 における回路損失が生じない。

【0054】

続いて、電力回收回路 980 を用い、連続したデータパルス P d a を各アドレス電極 911 上に印加する場合を想定する。

【0055】

この場合の連続したデータパルス P d a の波形の一例を図 29 (d) に示す。図 29 (d) においては、矢印 L Q で示す電圧変化が回路損失に相当し、矢印 R Q で示す電圧変化が回収電力に相当する。電力回收回路 980 が用いられた場合、連続したデータパルス P d a の各々はパネル容量 C p からの電力回収および電源からの電力供給により生成される。これにより、個々のデータパルス P d a の立ち上がりごとにデータドライバ 940 における回路損失が生じる。

【0056】

図 29 (c) および図 29 (d) に示されるデータパルス P d a の波形を比較する。図 29 (c) では、データパルス S P d a の立ち上がり時に大きい回路損失が 1 回発生する。一方、図 29 (d) では、各データパルス P d a の立ち上がり時に小さい回路損失が 1 回ずつ発生する。これにより、連続して生成されるデータパルス P d a の数がさらに増加すると、電力回收回路 980 による電力回収が行われても、回路損失の十分な低減が図れない。このように、従来の電力回收回路 980 では回路損失を十分に低減できない場合があった。

【0057】

また、図 24 に示した複数のデータドライバ（第 1 および第 2 のデータドライバ 940 a, 940 b）に、図 26 に示した電力回收回路 980 を単に組み合わせた場合、アドレス放電の安定化および消費電力の低減を十分に図ることができないことがわかった。

【0058】

本発明の目的は、消費電力を十分に低減しつつ安定した放電を行うことができる表示装置およびその駆動方法を提供することである。

【課題を解決するための手段】

【0059】

第 1 の発明に係る表示装置は、複数群に分類された第 1 の電極、第 1 の電極に交差するように設けられた第 2 の電極および第 1 の電極と第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回路は、第 1 の電源電圧を受ける第 1 の電源端子と第 1 のノードとの間に設けられた第 1 のスイッチング素子と、接地電位を受ける接地端子と第 1 のノードとの間に設けられた第 2 のスイッチング素子と、第 1 のノードと第 2 のノードとの間に設けられた誘導性素子と、第 2 のノードと第 3 のノードとの間に設けられた

第3のスイッチング素子と、第2のノードと第3のノードとの間に設けられた第4のスイッチング素子と、第3のノードに接続された回収用容量性素子と、第3のノードの電位が第1の電源電圧よりも低い所定値を超えないように第3のノードの電位を制限する電位制限回路とを含み、アドレス期間において、第3のスイッチング素子がオンすることにより回収用容量性素子から誘導性素子を通して第1のノードに電荷を放出し、第1のスイッチング素子がオンすることにより第1のノードの電位を第1の電源電圧に立ち上げ、第4のスイッチング素子がオンすることにより第1のノードから誘導性素子を通して回収用容量性素子に電荷を回収することによって、第1のノードにデータパルスを発生するための駆動パルスを発生するものである。

【0060】

第1の発明に係る表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0061】

ドライブ回路においては、アドレス期間に第3のスイッチング素子がオンすることにより回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出され、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧に立ち上げられ、第4のスイッチング素子がオンすることにより第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収される。これにより、第1のノードにデータパルスを発生するための駆動パルスが発生される。

【0062】

この場合、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収される。それにより、駆動パルスの発生時の電力消費が低減される。

【0063】

また、ドライブ回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するよう動作する。この場合、電位制限回路により第3のノードの電位が第1の電源電圧よりも低い所定値を超えないように第3のノードの電位が制限されるので、連続する駆動パルスの波形が分離される。

【0064】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することが可能となる。

【0065】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することができる。

【0066】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【0067】

ドライブ回路は、第1の電極に対応して設けられる第1のスイッチング回路をさらに含み、第1のスイッチング回路がオンすることにより、第1のノードと対応する第1の電極との間で電荷の回収および放出が行われ、第1のスイッチング回路の各々がオフすること

により、対応する第1の電極が接地電位に設定されるように動作してもよい。

【0068】

これにより、第1のスイッチング回路の各々のオン／オフを切り替えることにより、表示パネルの複数の容量性発光素子の発光および非発光の切り替わりを制御することができる。

【0069】

第1のスイッチング回路の各々のオン／オフの切り替え回数の総数が少ないほど、回収用容量性素子に発生する電圧が高くなるとともに、電位制限回路により回収用容量性素子に発生する電圧が所定値を超えないように制限される。

【0070】

電位制限回路は、第1の電源電圧と接地電位との間の電圧を分割することにより所定値にはほぼ等しい電位を生成する分割回路と、第3のノードと接地端子との間に接続されるとともに分割回路により生成される電位を制御信号として受け、第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

【0071】

この場合、分割回路により第1の電源電圧と接地電位との間の電圧が分割され、所定値にはほぼ等しい電位が生成される。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が、分割回路により生成される電位を制御信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えて、回収用容量性素子の一端に発生する電位が所定値を超えない。

【0072】

電位制限回路は、所定値にはほぼ等しい第2の電源電圧を受ける第2の電源端子と、第3のノードと接地端子との間に接続されるとともに第2の電源端子が受ける第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

【0073】

この場合、第2の電源端子に所定値にはほぼ等しい第2の電源電圧が与えられる。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が、第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えて、回収用容量性素子の一端に発生する電圧が所定値を超えない。

【0074】

第2のスイッチング回路は、第3のノードと第4のノードとの間に設けられ、第3のノードから第4のノードへ電流を流す一方向性導通素子と、第4のノードと接地端子との間に設けられ、制御信号を受ける制御端子を有する第5のスイッチング素子とを含んでもよい。

【0075】

この場合、第3のノードの電位が所定値を超えた場合に、第5のスイッチング素子がオンし、一方向性導通素子および第5のスイッチング素子を通して第3のノードから接地端子へ電流が流れる。これにより、第3のノードの電位が所定値を超えて、回収用容量性素子の一端に発生する電圧が所定値を超えない。

【0076】

電位制限回路は、第3のノードと接地端子との間に設けられ、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流を流す一方向性導通素子を含んでもよい。

【0077】

この場合、第3のノードと接地端子との間に設けられる一方向性導通素子により、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えて、回収用容量性素子の一端に発生する電圧

が所定値を超えない。また、構成が容易となる。

【0078】

一方向性導通素子は、ツエナーダイオードであってもよい。これにより、構成が容易となる。

【0079】

第1のスイッチング素子をオンするために、第1のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備えてもよい。この場合、チャージポンプ回路により第1のノードの電位よりも高い電位が発生され、第1のスイッチング素子がオンされる。

【0080】

チャージポンプ回路は、第1のノードと第5のノードとの間に設けられる充電用容量素子と、第3の電源電圧を受ける第3の電源端子と第5のノードとの間に設けられ、第2の電源端子から第5のノードに電流を流す一方向性導通素子と、第1のノードの電位に第5のノードの電位を加算し、加算された電位を第1のスイッチング素子に制御信号として出力する制御信号出力回路とを含んでもよい。

【0081】

この場合、一方向性導通素子により第2の電源端子から第5のノードに電流が流され、制御信号出力回路により第1のノードの電位に第5のノードの電位が加算され、加算された電位が第1のスイッチング素子に制御信号として出力される。

【0082】

所定値は、第1の電源電圧の2分の1よりも高く、第1の電源電圧の5分の4以下であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

【0083】

位相差は、200ns以上であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができます。

【0084】

ドライブ回路を複数有し、複数のドライブ回路は複数群にそれぞれ対応して設けられ、複数のドライブ回路は、複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加してもよい。

【0085】

この場合、選択された容量性発光素子を発光させるためのデータパルスは、複数群にそれぞれ対応して設けられた複数のドライブ回路により複数群で互いに位相差が生じるようになぞらえて複数群の第1の電極に印加される。これにより、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することができる。

【0086】

第2の発明に係る表示装置の駆動方法は、複数群に分類された第1の電極、第1の電極に交差するように設けられた第2の電極および第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、誘導性素子および回収用容量性素子を含むドライブ回路とを備える表示装置の駆動方法であって、ドライブ回路において、表示パネルの選択された容量性発光素子を発光させるためのアドレス期間に、回収用容量性素子から誘導性素子を通して第1のノードに電荷を放出し、第1のノードの電位を第1の電源電圧に立ち上げ、第1のノードから誘導性素子を通して回収用容量性素子に電荷を回収することによって、第1のノードに駆動パルスを発生するステップと、回収用容量性素子の一端の電位が第1の電源電圧よりも低い所定値を超えないように電位を制限するステップと、アドレス期間に、第1のノードの駆動パルスに基づいて、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するステップとを含むものである。

【0087】

第2の発明に係る表示装置の駆動方法においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路によりデータパルスを発生させるための駆動パルスが発生される。ドライブ回路により発生された駆動パルスに基づいて、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0088】

ドライブ回路においては、アドレス期間に回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出され、第1のノードの電位が第1の電源電圧に立ち上げられ、第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収される。これにより、第1のノードに駆動パルスが発生される。

【0089】

この場合、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収される。それにより、駆動パルスの発生時の電力消費が低減される。

【0090】

また、ドライブ回路においては、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化する。この場合、第3のノードの電位が第1の電源電圧よりも低い所定値を超えないよう第3のノードの電位が制限されるので、連続する駆動パルスの波形が分離される。

【0091】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、各ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することが可能となる。

【0092】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0093】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【発明の効果】**【0094】**

本発明に係る表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0095】

ドライブ回路においては、アドレス期間に第3のスイッチング素子がオンすることにより回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出され、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧に立ち上げられ、第4のスイッチング素子がオンすることにより第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収される。これにより、第1のノードにデータパルスを発生するための駆動パルスが発生される。

【0096】

この場合、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第

1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収される。それにより、駆動パルスの発生時の電力消費が低減される。

【0097】

また、ドライブ回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するよう動作する。この場合、電位制限回路により第3のノードの電位が第1の電源電圧よりも低い所定値を超えないよう第3のノードの電位が制限されるので、連続する駆動パルスの波形が分離される。

【0098】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することが可能となる。

【0099】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【発明を実施するための最良の形態】

【0100】

以下、本発明に係る表示装置およびその駆動方法の一例としてプラズマディスプレイ装置およびその駆動方法について図1～図29に基づき説明する。

【0101】

(第1の実施の形態)

図1は、第1の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図である。

【0102】

図1のプラズマディスプレイ装置100は、アナログ/デジタル変換器（以下、A/Dコンバータと呼ぶ。）1、映像信号-サブフィールド対応付け器2、サブフィールド処理器3、第1のデータドライバ群4a、第2のデータドライバ群4b、スキャンドライバ5、サステインドライバ6、プラズマディスプレイパネル（以下、PDPと略記する。）7、第1の電力回收回路8aおよび第2の電力回收回路8bを備える。

【0103】

A/Dコンバータ1には、アナログの映像信号VDが入力される。A/Dコンバータ1は、映像信号VDをデジタルの画像データに変換し、映像信号-サブフィールド対応付け器2へ出力する。

【0104】

映像信号-サブフィールド対応付け器2は、1フィールドを複数のサブフィールドに分割して表示するため、1フィールドの画像データから各サブフィールドの画像データSPを生成し、サブフィールド処理器3へ出力する。なお、本実施の形態に係るプラズマディスプレイ装置100では、階調表示駆動方式として、アドレス・表示期間分離方式（以下、ADS方式と略記する。）が用いられている。ADS方式の詳細については後述する。

【0105】

サブフィールド処理器3は、上記サブフィールドの画像データSPからデータドライバ制御信号DSa, DSb、電力回收回路制御信号Ha, Hb、スキャンドライバ制御信号CSおよびサステインドライバ制御信号USを生成する。

【0106】

データドライバ制御信号DSa, DSbは、それぞれ第1のデータドライバ群4aおよ

び第2のデータドライバ群4bへ出力される。電力回收回路制御信号Ha, Hbは、それぞれ第1の電力回收回路8aおよび第2の電力回收回路8bへ出力される。スキャンドライバ制御信号CSはスキャンドライバ5へ出力され、サステインドライバ制御信号USはサステインドライバ6へ出力される。

【0107】

第1のデータドライバ群4aおよび第2のデータドライバ群4bの各々は、図示しない複数のデータドライバ集積回路および複数のモジュールから構成されている。第1のデータドライバ群4aは、サブフィールド処理器3、第1の電力回收回路8aおよびPDP7に接続され、第2のデータドライバ群4bは、サブフィールド処理器3、第2の電力回收回路8bおよびPDP7に接続されている。また、スキャンドライバ5およびサステインドライバ6の各々はPDP7に接続されている。

【0108】

PDP7は、複数のアドレス電極（データ電極） $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ 、複数のスキャン電極（走査電極） $1_{21} \sim 1_{2m}$ および複数のサステイン電極（維持電極） $1_{31} \sim 1_{3m}$ を含む。mおよびnは、それぞれ任意の整数である。複数のアドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ は画面の垂直方向に配列され、複数のスキャン電極 $1_{21} \sim 1_{2m}$ および複数のサステイン電極 $1_{31} \sim 1_{3m}$ は画面の水平方向に配列されている。なお、複数のサステイン電極 $1_{31} \sim 1_{3m}$ は共通に接続されている。図1において、アドレス電極 $4_{11} \sim 4_{1n}$ は画面の左側に配列されており、アドレス電極 $4_{21} \sim 4_{2n}$ は画面の右側に配列されている。

【0109】

アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ 、スキャン電極 $1_{21} \sim 1_{2m}$ およびサステイン電極 $1_{31} \sim 1_{3m}$ の各交点には、放電セル14が形成されている。放電セル14の各々が画面上の画素を構成する。図1において、画面上の放電セル14は「m行2n列」となるように配列されている。

【0110】

複数のアドレス電極 $4_{11} \sim 4_{1n}$ は第1のデータドライバ群4aに接続され、複数のアドレス電極 $4_{21} \sim 4_{2n}$ は第2のデータドライバ群4bに接続されている。また、複数のスキャン電極 $1_{21} \sim 1_{2m}$ はスキャンドライバ5に接続され、複数のサステイン電極 $1_{31} \sim 1_{3m}$ はサステインドライバ6に接続されている。

【0111】

ここで、スキャンドライバ5は、各スキャン電極 $1_{21} \sim 1_{2m}$ ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP7の対応するスキャン電極 $1_{21} \sim 1_{2m}$ に接続されている。

【0112】

第1のデータドライバ群4aは、データドライバ制御信号DSaに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極 $4_{11} \sim 4_{1n}$ にデータパルスを印加する。なお、第1のデータドライバ群4aの複数のデータドライバ集積回路には、上記データパルスを生成するための電力が第1の電力回收回路8aより供給される。第1の電力回收回路8aは電力回收回路制御信号Haに従って動作する。書き込み期間における第1のデータドライバ群4aおよび第1の電力回收回路8aの動作の詳細については後述する。

【0113】

第2のデータドライバ群4bは、データドライバ制御信号DSbに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極 $4_{21} \sim 4_{2n}$ のいずれかにデータパルスを印加する。なお、第2のデータドライバ群4bの複数のデータドライバ集積回路には、上記データパルスを生成するための電力が第2の電力回收回路8bより供給される。第2の電力回收回路8bは電力回收回路制御信号Hbに従って動作する。書き込み期間における第2のデータドライバ群4bおよび第2の電力回收回路8bの動作の詳細は、後述する第1のデータドライバ群4aおよび第1の電力回收回路8aの動作の

詳細と同様である。

【0114】

スキャンドライバ5は、スキャンドライバ制御信号CSに従い、初期化期間において、初期セットアップパルスをPDP7の全てのスキャン電極12₁～12_mに同時に印加する。その後、書き込み期間においてシフトパルスを垂直走査方向にシフトしつつPDP7の複数のスキャン電極12₁～12_mに書き込みパルスを順に印加する。これにより、選択された放電セル14においてアドレス放電が行われる。

【0115】

また、スキャンドライバ5は、スキャンドライバ制御信号CSに従い、維持期間において、周期的な維持パルスをPDP7の複数のスキャン電極12₁～12_mに印加する。一方、サステインドライバ6は、サステインドライバ制御信号USに従い、維持期間において、PDP7の複数のサステイン電極13₁～13_mに、スキャン電極12₁～12_mの維持パルスに対して180°位相のずれた維持パルスを同時に印加する。これにより、アドレス放電が行われた放電セル14において維持放電が行われる。

【0116】

図2は、図1のアドレス電極、スキャン電極およびサステイン電極に与えられる駆動電圧の一例を示すタイミング図である。

【0117】

図2において、初期化期間P1には、複数のスキャン電極12₁～12_mに初期セットアップパルスPsetが同時に印加される。その後、書き込み期間P2において、映像信号に応じてオンまたはオフするデータパルスPdaが各アドレス電極41₁～41_n, 42₁～42_nに印加され、このデータパルスPdaに同期して複数のスキャン電極12₁～12_mに書き込みパルスPwが順に印加される。これにより、PDP1の選択された放電セル14において順次アドレス放電が起こる。

【0118】

なお、本実施の形態では図2に示すように、第1のデータドライバ群4aによりデータパルスPdaがアドレス電極41₁～41_nに印加されるタイミングと第2のデータドライバ群4bによりデータパルスPdaがアドレス電極42₁～42_nに印加されるタイミングとの間でずれTRが生じている。ずれTRの詳細については後述する。

【0119】

次に、維持期間P3において、複数のスキャン電極12₁～12_mに維持パルスPscが周期的に印加され、複数のサステイン電極13₁～13_mに維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して180°ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0120】

上述のように、本実施の形態に係るプラズマディスプレイ装置100では、階調表示駆動方式としてADS方式が用いられている。ここで、ADS方式について説明する。図3は、図1のプラズマディスプレイ装置100に用いられるADS方式を説明するための説明図である。

【0121】

ADS方式では、1フィールド(1/60秒=16.67ms)を複数のサブフィールドに時間的に分割する。例えば、8ビットで256階調表示を行う場合には、1フィールドを8つのサブフィールドSF1～SF8に分割する。また、各サブフィールドSF1～SF8は、初期化期間P1、書き込み期間P2および維持期間P3に分離される。各サブフィールドSF1～SF8においては、図2の例と同様に、初期化期間P1に各サブフィールドのセットアップ処理が行われ、書き込み期間P2に点灯される放電セル14を選択するためのアドレス放電が行われ、維持期間P3に表示のための維持放電が行われる。

【0122】

サブフィールドSF1～SF8の維持期間P3には、それぞれ輝度(明るさ)が重み付けされている。各サブフィールドSF1～SF8の維持期間P3においては、重み付けさ

れた輝度に応じた数の維持パルスがスキャン電極 $1_{21} \sim 1_{2n}$ およびサステイン電極 $1_{31} \sim 1_{3n}$ へ印加される。例えば、サブフィールドSF1では、サステイン電極 $1_{31} \sim 1_{3n}$ に維持パルスが1回印加され、書き込み期間P2において選択された放電セル14が2回維持放電を行う。また、サブフィールドSF2では、サステイン電極 $1_{31} \sim 1_{3n}$ に維持パルスが2回印加され、スキャン電極 $1_{21} \sim 1_{2n}$ に維持パルスが2回印加され、書き込み期間P2において選択された放電セル14が4回維持放電を行う。

【0123】

このように、サブフィールドSF1～SF8では、それぞれ、1、2、4、8、16、32、64および128の輝度の重み付けがなされ、これらのサブフィールドSF1～SF8を組み合わせることにより、輝度のレベルを0～255までの256段階で調整することができる。なお、サブフィールドの分割数および重み付け値等は、上記の例に特に限定されず、種々の変更が可能であり、例えば、動画疑似輪郭を低減するために、サブフィールドSF8を二つに分割して二つのサブフィールドの重み付け値を64に設定してもよい。

【0124】

続いて、図2のデータパルスPdaをアドレス電極 $4_{11} \sim 4_{1n}$ に印加するタイミングとデータパルスPdaをアドレス電極 $4_{21} \sim 4_{2n}$ に印加するタイミングとの間のずれTRについて説明する。

【0125】

以下の説明において、データパルスPdaをアドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ に印加するタイミングをデータパルス印加タイミングと呼び、アドレス電極 $4_{11} \sim 4_{1n}$ に対するデータパルス印加タイミングとアドレス電極 $4_{21} \sim 4_{2n}$ に対するデータパルス印加タイミングとのずれTRをデータパルス位相差TRと呼ぶ。

【0126】

図4は図1のPDP7の表示状態の一例を示す模式図であり、図5はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。

【0127】

図4においては、PDP7上の放電セル14のうちスキャン電極 1_{21} 上の放電セル14の全てが発光している。

【0128】

ここで、図4のPDP7の表示状態を実現する際にデータパルス位相差TRが存在しない場合について説明する。図5(a)に示すようにデータパルス位相差TRが存在しない場合、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14とアドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14とアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14とは、同じタイミングt1でアドレス放電を起こす。それにより、スキャン電極 1_{21} には1つのピークを有する放電電流DA2が発生する。

【0129】

この場合、スキャン電極 1_{21} には、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14の放電電流が同時に流れため、放電電流DA2の振幅AM2は、大きくなる。それにより、スキャン電極 1_{21} に印加される書き込みパルスPwに大きな電圧降下E2が発生する。その結果、アドレス放電が不安定となる。したがって、安定したアドレス放電を行うためにはスキャン電極 1_{21} に印加すべき書き込みパルスPwの電圧SH2を高く設定しなければならない。

【0130】

次に、図4のPDP7の表示状態を実現する際にデータパルス位相差TRが存在する場合について説明する。図5(b)に示すように、データパルス位相差TRが存在する場合、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14は、タイミングt1でアドレス放電を起こし、アドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14は、タイミングt2でアドレス放電を起こす。それにより、スキャン電極 1_{21} には2つのピークを有する放電電流DA1が

発生する。

【0131】

この場合、スキャン電極 1_{21} には、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 1_4 の放電電流およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 1_4 の放電電流が異なるタイミングで流れることで、放電電流DA1の振幅AM1は、データパルス位相差TRが大きくなるにつれて小さくなる。それにより、スキャン電極 1_{21} に印加される書き込みパルスPwに発生する電圧降下量E1もデータパルス位相差TRが大きくなるにつれて小さくなる。したがって、スキャン電極 1_{21} に印加すべき書き込みパルスPwの電圧SH1を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差TRを大きく設定することにより、放電セル 1_4 の安定した放電を確保しつつ書き込みパルスPwの電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

【0132】

このように、本実施の形態に係るプラズマディスプレイ装置100では、第1のデータドライバ群4aおよび第2のデータドライバ群4bによるアドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ へのデータパルスPdaの印加時にデータパルス位相差TRが発生する。これにより、放電セル 1_4 の安定した放電を確保しつつ書き込みパルスPwの電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

【0133】

書き込み期間における図1の第1のデータドライバ群4a、第1の電力回收回路8aおよびPDP7の構成および動作の詳細について図6～図16に基づき説明する。

【0134】

図6は図1の第1のデータドライバ群4a、第1の電力回收回路8aおよびPDP7の回路図である。上述のように第1の電力回收回路8aは第1のデータドライバ群4aを介してPDP7の複数のアドレス電極 $4_{11} \sim 4_{1n}$ に接続されている。図6では、PDP7において各アドレス電極 $4_{11} \sim 4_{1n}$ に設けられた複数の放電セル 1_4 の容量をアドレス電極容量C_{p1}～C_{pn}とし、これらの総和をパネル容量C_pとして表す。

【0135】

図6によれば、第1の電力回收回路8aは、回収コンデンサC1、回収コイルL、Nチャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q1～Q4、ダイオードD1, D2および回収電位クランプ回路80を含む。回収電位クランプ回路80は、抵抗R1, R2, R3、ダイオードD3, D4およびバイポーラトランジスタ（以下、トランジスタと略記する。）Q5を含む。

【0136】

回収コンデンサC1は、ノードN3と接地端子との間に接続されている。ノードN3とノードN2との間にトランジスタQ3およびダイオードD1が直列に接続され、ノードN2とノードN3との間にダイオードD2およびトランジスタQ4が直列に接続されている。

【0137】

回収コイルLは、ノードN2とノードN1との間に接続されている。ノードN1と電源端子V1との間にトランジスタQ1が接続され、ノードN1と接地端子との間にトランジスタQ2が接続されている。

【0138】

回収電位クランプ回路80において、ノードN3とノードN4との間にはダイオードD3が接続され、ノードN4はトランジスタQ5のエミッタに接続され、トランジスタQ5のコレクタは抵抗R3を介して接地端子に接続されている。電源端子V1とノードN5との間に抵抗R1が接続され、ノードN5と接地端子との間に抵抗R2が接続されている。ノードN5はトランジスタQ5のベースに接続されている。ノードN5とノードN4との間にはダイオードD4が接続されている。

【0139】

第1のデータドライバ群4aは、複数のPチャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q₁₁～Q_{1n}、複数のNチャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q₂₁～Q_{2n}を含む。第1の電力回收回路8aのノードN₁とノードND₁～ND_nとの間には、それぞれトランジスタQ₁₁～Q_{1n}が接続されている。ノードND₁～ND_nと接地端子との間には、それぞれトランジスタQ₂₁～Q_{2n}が接続されている。複数のトランジスタQ₁₁～Q_{1n}、Q₂₁～Q_{2n}のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号DSaに基づいて生成される制御パルスSa₁～Sa_nが与えられる。

【0140】

第1のデータドライバ群4aのノードND₁～ND_nには、それぞれPDP7のアドレス電極41₁～41_nが接続されている。アドレス電極41₁～41_nと接地端子との間にはそれぞれアドレス電極容量C_{p1}～C_{pn}が形成されている。第1の電力回收回路8aのノードN₁と接地端子との間には、浮遊容量C_fが存在する。

【0141】

第2のデータドライバ群4bおよび第2の電力回收回路8bの構成は、上記の第1のデータドライバ群4aおよび第1の電力回收回路8aの構成と同様である。なお、第2のデータドライバ群4bの複数のトランジスタQ₁₁～Q_{1n}、Q₂₁～Q_{2n}のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号DSbに基づいて生成される制御パルスSa₁～Sa_nが与えられる。

【0142】

電源端子V₁には電源電圧Vdaが与えられる。トランジスタQ₁～Q₄のゲートには、それぞれ制御信号S₁～S₄が与えられる。トランジスタQ₁～Q₄は制御信号S₁～S₄に基づいてオン／オフの切替動作を行う。なお、制御信号S₁～S₄は、図1のサブフィールド処理器3から出力される電力回收回路制御信号Haに基づき生成される。なお、図1の第2の電力回收回路8bのトランジスタQ₁～Q₄には電力回收回路制御信号Hbに基づき生成される制御信号S₁～S₄が与えられる。

【0143】

図7は、図1の第1および第2の電力回收回路8a、8bの書き込み期間の動作を示すタイミング図である。図7には、図6のノードN₁の電圧NV₁およびトランジスタQ₁～Q₄にそれぞれ与えられる制御信号S₁～S₄の波形が実線により示されている。また、第2のデータドライバ群4bのノードN₁の電圧NV₁およびトランジスタQ₁～Q₄にそれぞれ与えられる制御信号S₁～S₄の信号波形が破線により示されている。

【0144】

図7においては、電力回收回路8aにおける電圧NV₁および制御信号S₁～S₄の後にかっこ書きで符号8aを付し、第2のデータドライバ群4bにおける電圧NV₁および制御信号S₁～S₄の後にかっこ書きで符号8bを付している。

【0145】

制御信号S₁～S₄がハイレベルの場合にトランジスタQ₁～Q₄はオンし、制御信号S₁～S₄がローレベルの場合にトランジスタQ₁～Q₄はオフする。

【0146】

期間TAにおいて、制御信号S₃はハイレベルであり、制御信号S₁、S₂、S₄はローレベルである。これにより、トランジスタQ₃がオンし、トランジスタQ₁、Q₂、Q₄がオフする。この場合、回収コンデンサC₁がトランジスタQ₃およびダイオードD₁を介して回収コイルLに接続され、回収コイルLと浮遊容量C_fおよびパネル容量C_pとのLC共振により、ノードN₁の電圧NV₁が緩やかに上昇する。

【0147】

このとき、回収コンデンサC₁の電荷が、トランジスタQ₃、ダイオードD₁および回収コイルLを介して浮遊容量C_fへ放出され、さらに第1のデータドライバ群4aを介してPDP7のパネル容量C_pへ放出される。

【0148】

期間T Bにおいて、制御信号S 1はハイレベルであり、制御信号S 2～S 4はローレベルである。これにより、トランジスタQ 1がオンし、トランジスタQ 2～Q 4がオフする。この場合、ノードN 1がトランジスタQ 1を介して電源端子V 1に接続される。それにより、ノードN 1の電圧N V 1は、急激に上昇するとともに電源端子V 1に与えられる電源電圧V d aに固定される。

【0149】

期間T Cにおいて、制御信号S 4はハイレベルであり、制御信号S 1～S 3はローレベルである。これにより、トランジスタQ 4がオンし、トランジスタQ 1～Q 3がオフする。この場合、回収コンデンサC 1がトランジスタQ 4およびダイオードD 2を介して回収コイルLに接続され、回収コイルLと浮遊容量C fおよびパネル容量C pとのLC共振により、ノードN 1の電圧N V 1が緩やかに下降する。このとき、浮遊容量C fおよびパネル容量C pの電荷が、回収コイルL、ダイオードD 2およびトランジスタQ 4を介して回収コンデンサC 1へ回収される。

【0150】

第1の電力回收回路8 aが、期間T A～T Cの動作を繰り返すことにより、パネル容量C pおよび浮遊容量C fに蓄積された電荷が回収コンデンサC 1に回収されるとともに、回収された電荷が再びパネル容量C pおよび浮遊容量C fに与えられる。以下、パネル容量C pおよび浮遊容量C fより回収コンデンサC 1に回収された電荷に基づく電力を回収電力と呼ぶ。

【0151】

また、回収コンデンサC 1に回収される電荷に基づく電圧は図6のノードN 3の電圧と同じである。以下、ノードN 3の電圧を回収電位V mと呼ぶ。図6の回収コンデンサC 1および回収コイルLは回収電位V mに基づくLC共振を行う。これにより、図7に示すように、図6のノードN 1の電圧N V 1には変化A Cが生じる。電圧N V 1の変化A Cは、回収電位V mに応じて変化する。

【0152】

上記説明において、期間T A～T Cの間、制御信号S 2は常にローレベルであり、トランジスタQ 2は常にオフしている。しかしながら、制御信号S 2は書き込み期間P 2（図2）の終了とともにハイレベルとなり、再び書き込み期間P 2が開始されるとともにローレベルとなる。これにより、トランジスタQ 2は書き込み期間P 2以外で常にオンし、ノードN 1が接地端子に接続される。この動作は、後述のチャージポンプ回路に所定量の電荷を蓄えるために行われる。

【0153】

ところで、期間T A～T Cにおいて、図6の第1の電力回收回路8 aの回収電位クランプ回路8 0では次の動作が行われている。

【0154】

回収電位クランプ回路8 0において、電源端子V 1と接地端子との間に抵抗R 1, R 2が直列に接続されている。これにより、抵抗R 1, R 2間のノードN 5には所定の電圧N V 5が発生している。一方、ノードN 4にはノードN 3の回収電位V mが与えられる。ここでは、説明を簡単にするためダイオードD 3による電圧降下（例えば、0.7V）は無視する。回収電位V mは後述の第1のデータドライバ群4 aの動作に基づいて変動する。

【0155】

トランジスタQ 5は、ノードN 5の電圧N V 5がノードN 4の電圧以上である場合にオフし、ノードN 5の電圧N V 5がノードN 4の電圧より低い場合にオンする。つまり、トランジスタQ 5は、ノードN 3の回収電位V mが電圧N V 5以下である場合にオフし、ノードN 3の回収電位V mが電圧N V 5よりも高い場合にオンする。

【0156】

これにより、回収電位V mが電圧N V 5以下である場合、トランジスタQ 5がオフするので、回収コンデンサC 1に蓄えられた電荷は接地端子に放出されることなく保存される。

【0157】

また、回収電位 V_m が電圧 NV_5 より高い場合、トランジスタ Q_5 がオンするので、回収コンデンサ C_1 に蓄えられた電荷がノード N_3 、ダイオード D_3 、ノード N_4 、トランジスタ Q_5 および抵抗 R_3 を介して接地端子に放出される。その結果、ノード N_3 の回収電位 V_m は電圧 NV_5 を超えない。

【0158】

以下、図6の抵抗 R_1 、 R_2 および電源端子 V_1 に印加される電源電圧 V_{da} により設定される電圧 NV_5 に基づいて制限される回収電位 V_m の上限値を限界電圧 V_r と呼ぶ。

【0159】

なお、上記説明において、ダイオード D_3 による電圧降下を考慮した場合、ノード N_5 の電圧 NV_5 は限界電圧 V_r よりもダイオード D_3 の電圧降下分低く設定される。

【0160】

このように、回収電位クランプ回路80は、ノード N_3 の回収電位 V_m が限界電圧 V_r を超える場合にクランプ動作を行う。したがって、回収電位 V_m は限界電圧 V_r を超えない。本実施の形態に係るプラズマディスプレイ装置100に回収電位クランプ回路80を設けた理由については後述する。

【0161】

図7において、第2の電力回収回路8bのノード N_1 の電圧 NV_1 および制御信号 $S_1 \sim S_4$ の波形は、第1の電力回収回路8aのノード N_1 の電圧 NV_1 および制御信号 $S_1 \sim S_4$ の波形と同一であるが、位相のずれ TR が生じている。このタイミングのずれ TR は図5のデータパルス位相差 TR に相当する。

【0162】

続いて、図7の電圧 NV_1 の立ち上がりごとに変化する回収電位 V_m について、第1の電力回収回路8aおよび第1のデータドライバ群4aの動作に基づき説明する。

【0163】

図8は、PDP7の表示状態の一例を示す模式図であり、図9～図11は図8の表示状態を得る場合の図6のノード N_1 の電圧 NV_1 、アドレス電極 4_{11} に印加されるデータパルス P_{da} および第1のデータドライバ群4aに与えられる制御パルス $S_{a1} \sim S_{a4}$ のタイミングを示す図である。なお、図8では図1のPDP7の一部のみが示されている。

【0164】

- 図8(a)には、図1のPDP7の全ての画素が「白」を表示する一例が示されている。
- 以下、このようにPDP7の全ての画素が「白」を表示する表示状態を「全白」と呼ぶ。
- この場合、PDP7の画素を構成する全ての放電セル14が放電する。

【0165】

- 図8(b)には、図1のPDP7の全ての画素が「黒」を表示する一例が示されている。
- 以下、このようにPDP7の全ての画素が「黒」を表示する表示状態を「全黒」と呼ぶ。
- この場合、PDP7の画素を構成する全ての放電セル14が放電しない。

【0166】

- 図8(c)には、図1のPDP7の上下左右方向において、画素が交互に「白」および「黒」を表示する一例が示されている。図8(c)においては、アドレス電極 4_{11} 上の放電セル14により形成される画素が上から「白」、「黒」、「白」および「黒」を表示し、アドレス電極 4_{12} 上の放電セル14により形成される画素が上から「黒」、「白」、「黒」および「白」を表示している。以下、このようにPDP7の画素が上下左右方向において交互に「白」および「黒」を表示する状態をトリオ市松と呼ぶ。この場合、PDP7の上下左右方向において1つおきの画素を構成する放電セル14が放電し、それらの間の放電セル14が放電しない。

【0167】

- 図8(a)のPDP7の表示状態において、図6のノード N_1 の電圧 NV_1 、アドレス電極 4_{11} に印加されるデータパルス P_{da} および第1のデータドライバ群4aに与えら

れる制御パルス $S_{a1} \sim S_{a4}$ は図9に示すように変化する。

【0168】

図9に示すように、PDP7が「全白」である場合、図6のノードN1の電圧NV1の変化ACは、図6のノードN3の回収電位Vmに応答して変化する。回収電位Vmは図7の電圧NV1の立ち上がりごとに変化する。

【0169】

図9によれば、電圧NV1の変化ACは、電圧NV1の立ち上がりごとに順次小さくなっている。この場合、書き込み期間P2では、制御パルス $S_{a1} \sim S_{a4}$ が常にローレベルとなる。これにより、PDP7が「全白」である場合、トランジスタ $Q_{11} \sim Q_{14}$ は常にオンし、トランジスタ $Q_{21} \sim Q_{24}$ は常にオフする。その結果、アドレス電極411には電圧NV1がデータパルスPdaとして印加されるためアドレス電極411の電圧は電圧NV1と同様に変化している。

【0170】

図9の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により上昇し、電源端子V1に印加される電圧Vdaにより固定され、その後、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により下降する。

【0171】

トランジスタ $Q_{11} \sim Q_{14}$ が常にオンし、トランジスタ $Q_{21} \sim Q_{24}$ が常にオフすることにより、電圧NV1の上昇時には回収コンデンサC1に蓄えられた電荷が浮遊容量Cfおよびパネル容量Cpに放出される。一方、電圧NV1の下降時には浮遊容量Cfおよびパネル容量Cpに蓄えられた電荷が回収コンデンサC1に回収される。

【0172】

PDP7が「全白」である場合、上述のような期間PCが繰り返し行われることにより、回収コンデンサC1に蓄えられる電荷は徐々に上昇する。したがって、図6のノードN3の回収電位Vmはアドレス電極411～414へのデータパルスPdaの印加とともに順次上昇する。これにより、第1のデータドライバ群4aにおける回路損失（図9の矢印LQ）が低減される。第2のデータドライバ群4bにおいても同様に回路損失が低減される。

【0173】

ただし、回収電位Vmは、図6の回収電位クランプ回路80により図7の限界電圧Vrよりも上昇しない。その結果、上述の電圧NV1の変化ACは回収電位Vmが限界電圧Vrに固定されることにより一定となる。回収電位Vmの変化の詳細については後述する。

【0174】

図10に示すように、PDP7が「全黒」である場合、図6のノードN1の電圧NV1の変化ACは、図6のノードN3の回収電位Vmに応答して変化する。回収電位Vmは図7の電圧NV1の立ち上がりごとに変化する。

【0175】

図10によれば、電圧NV1の変化ACは、電圧NV1の立ち上がりごとに順次小さくなっている。この場合、書き込み期間P2では、制御パルス $S_{a1} \sim S_{a4}$ が常にハイレベルとなる。これにより、PDP7が「全黒」である場合、トランジスタ $Q_{11} \sim Q_{14}$ は常にオフし、トランジスタ $Q_{21} \sim Q_{24}$ は常にオンする。その結果、アドレス電極411には電圧NV1がデータパルスPdaとして印加されないためアドレス電極411の電圧は常に接地電位Vgとなっている。

【0176】

図10の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量CfとのLC共振により上昇し、電源端子V1に印加される電圧Vdaに固定され、その後、回収コイルLと浮遊容量CfとのLC共振により下降する。

【0177】

トランジスタ $Q_{11} \sim Q_{14}$ が常にオフし、トランジスタ $Q_{21} \sim Q_{24}$ が常にオンす

ることにより、電圧NV1の上昇時には回収コンデンサC1に蓄えられた電荷が浮遊容量Cfに放出される。一方、電圧NV1の下降時には浮遊容量Cfに蓄えられた電荷が回収コンデンサC1に回収される。

【0178】

PDP7が「全黒」である場合、上述のような期間PCが繰り返し行われることにより、回収コンデンサC1に蓄えられる電荷は徐々に上昇する。したがって、図6のノードN3の回収電位Vmは電圧NV1の立ち上がりごとに順次上昇する。これにより、第1のデータドライバ群4aにおける回路損失(図10の矢印LQ)が低減される。第2のデータドライバ群4bにおいても同様に回路損失が低減される。

【0179】

ただし、回収電位Vmは、図6の回収電位クランプ回路80により図7の限界電圧Vrよりも上昇しない。その結果、上述の電圧NV1の変化ACは回収電位Vmが限界電圧Vrに固定されることにより一定となる。

【0180】

図11に示すように、PDP7が「トリオ市松」である場合、図6のノードN1の電圧NV1の変化ACは、電圧NV1の初めの立ち上がり時を除き、一定となる。これは、図6のノードN3の回収電位Vmが電圧NV1の初めの立ち上がり時を除き一定となるためである。

【0181】

この場合、書き込み期間P2において、制御パルスSa1, Sa3は、電圧NV1の立ち上がりごとにローレベルとハイレベルとを繰り返す。また、制御パルスSa2, Sa4は、電圧NV1の立ち上がりごとに制御パルスSa1, Sa3と逆にハイレベルとローレベルとを繰り返す。これにより、各トランジスタQ11～Q14のオン／オフおよびトランジスタQ21～Q24のオン／オフが期間PCごとに切り換わる。その結果、アドレス電極411の電圧は、制御パルスSa1, Sa3がローレベルの場合に図7の電圧Vdaまで上昇し、制御パルスSa2, Sa4がローレベルの場合に接地電位Vgとなる。

【0182】

図11の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により上昇し、電源端子V1に印加される電圧Vdaに固定され、その後、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により下降する。

【0183】

回収電位Vmは初めの期間PCから2番目の期間PCにおいて後述の最小回収電位Vsに変化し、その後、最小回収電位Vsから変化しない。

【0184】

初めの期間PCにおいては、電圧NV1の上昇時にトランジスタQ11がオンし、トランジスタQ21がオフすることにより、回収コンデンサC1に蓄えられた電荷が浮遊容量Cfおよびアドレス電極容量Cp1に放出される。ここで、アドレス電極容量Cp1は、オン状態にあるトランジスタQ11と接続されている。また、トランジスタQ12がオフし、トランジスタQ22がオンすることにより、回収コンデンサC1に蓄えられた電荷が浮遊容量Cfに回収される。

【0185】

そして、電圧NV1の下降時には浮遊容量Cfおよびアドレス電極容量Cp1に蓄えられた電荷が回収コンデンサC1に回収される。ここで、電圧NV1は浮遊容量Cfおよびアドレス電極容量Cp1に蓄えられる電荷により接地電位Vgまで下降することなく所定の電圧Vgxまで下降する。このときのノードN3の回収電位Vmが後述の最小回収電位Vsである。

【0186】

この初めの期間PCにおいて、アドレス電極411には図11に示すようにデータパルスPdaが印加される。そして、アドレス電極412にはデータパルスPdaは印加され

ない。

【0187】

2度目の期間PCにおいては、電圧NV1の上昇時にトランジスタQ11がオフし、トランジスタQ21がオンすることにより、回収コンデンサC1に蓄えられた電荷が浮遊容量Cfに放出される。また、トランジスタQ12がオンし、トランジスタQ22がオフすることにより、回収コンデンサC1に蓄えられた電荷が浮遊容量Cfおよびアドレス電極容量Cp2に放出される。ここで、アドレス電極容量Cp1は、オン状態にあるトランジスタQ11と接続されている。

【0188】

そして、電圧NV1の下降時には浮遊容量Cfおよびアドレス電極容量Cp2に蓄えられた電荷が回収コンデンサC1に回収される。ここで、電圧NV1は浮遊容量Cfおよびパネル容量Cp2に蓄えられる電荷により接地電位Vgまで下降することなく所定の電圧Vgxまで下降する。上記と同様に、このときの回収電位Vmが後述の最小回収電位Vsである。なお、初めの期間PCにおいてアドレス電極容量Cp2に蓄えられた電荷は、アドレス電極411およびトランジスタQ11を介して接地端子に放出される。

【0189】

この期間PC2において、アドレス電極412には図11に示すようにデータパルスPdaが印加される。そして、アドレス電極411にはデータパルスPdaは印加されない。

【0190】

上記では、図7の電圧NV1の変化を2本のアドレス電極411, 412の電圧の変化に基づき説明したが、他のアドレス電極413～41nについてもアドレス電極411, 412と同様の電圧の変化が生じるため、電圧NV1は浮遊容量Cfおよびアドレス電極容量Cp1～Cpnに蓄えられる電荷により変化する。

【0191】

このように、PDP7が「トリオ市松」である場合、上述のような期間PCの動作が各アドレス電極411～41nごとに交互に繰り返し行われるため、全アドレス電極411～41nに接続されるアドレス電極容量Cp1～Cpnに最大の電荷が蓄えられることがない。その結果、回収電位Vmは上昇せず後述の最小回収電位Vsとなる。この場合の第1のデータドライバ群4aの回路損失が図11の矢印LQで示されている。この回路損失は第2のデータドライバ群4bにおいても同様に消費される。

【0192】

続いて、本実施の形態に係るプラズマディスプレイ装置100に回収電位クランプ回路80を設けた理由について図12および図13に基づきする。

【0193】

図12および図13は、図6の回収電位クランプ回路80の働きを説明するための図である。上述のように、本実施の形態に係るプラズマディスプレイ装置100では、図6の第1の電力回収回路8aおよび第2の電力回収回路8bにより、回路損失が低減されている。

【0194】

例えば、PDP7が「全白」である場合、上述のように図1の各アドレス電極411～41n, 421～42nの電圧は、データパルスPdaが印加されるとともに順次上昇する(図12(a)および図13(a))。その結果、図6のパネル容量Cpより回収コンデンサC1に回収された電荷に基づく回収電力(矢印RQ)が各アドレス電極411～41n, 421～42nへのデータパルスPdaの印加とともに順次減少してゆく。

【0195】

ここで、比較のために図6の第1の電力回収回路8aおよび第2の電力回収回路8bに回収電位クランプ回路80が設けられない場合を説明する。この場合、アドレス電極411～41n, 421～42nへのデータパルスPdaの印加が連続すると、アドレス電極411～41n, 421～42nの電圧は、図12(b), (c)に示すように図6の電

源端子V1に印加される電圧Vdaに固定される。

【0196】

ところで、本実施の形態に係るプラズマディスプレイ装置100では、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ へのデータパルスPdaの印加時にデータパルス位相差TRを発生させるため、アドレス電極 $4_{11} \sim 4_{1n}$ へデータパルスPdaを印加するタイミングt1とアドレス電極 $4_{21} \sim 4_{2n}$ へデータパルスPdaを印加するタイミングt2とをずらしている(図12(b), (c))。

【0197】

しかしながら、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧が電圧Vdaに固定されるため、データパルスPdaの立ち上がり部分が特定されず、確実にデータパルス位相差TRを得ることができない。つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧とスキャン電極 $1_{21} \sim 1_{2m}$ に印加される図2の書き込みパルスPwの電圧との差が、常にアドレス放電に必要な電圧値を超てしまう。

【0198】

したがって、図12(b), (c)に示すように、アドレス電極 $4_{11} \sim 4_{1n}$ へタイミングt1に印加されるデータパルスPdaに対応して、書き込みパルスPwが与えられるスキャン電極 1_{2k} (kは1~mのうちの任意の整数)においては、アドレス電極 $4_1 \sim 4_{1n}$ 上の放電セル14およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14の放電電流が同時に流れれる。

【0199】

つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ のデータパルスPdaの立ち上がりが特定されないため、スキャン電極 1_{2k} への書き込みパルスPwの印加タイミングt3に対応して、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14とアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14とは、同じタイミングでアドレス放電を起こす。それにより、スキャン電極 1_{2k} には1つのピークを有する放電電流DA3が発生する。

【0200】

この場合、スキャン電極 1_{2k} には、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル14およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル14の放電電流が同時に流れれるため、放電電流DA3の振幅AM3は、大きくなる(図12(e))。それにより、スキャン電極 1_{2k} に印加される書き込みパルスPwに大きな電圧降下E3が発生する(図12(d))。その結果、上述のようにアドレス放電が不安定となる。

【0201】

このように、図6の第1の電力回收回路8aおよび第2の電力回收回路8bに回収電位クランプ回路80が設けられない場合、データパルス位相差TRを得ることができず、安定したアドレス放電を確保することができない。

【0202】

これに対し、本実施の形態に係るプラズマディスプレイ装置100では、図6の第1の電力回收回路8aおよび第2の電力回收回路8bに回収電位クランプ回路80が設けられている。

【0203】

回収電位クランプ回路80は回収電力(矢印RQ)の減少を所定の値にとどめる。したがって、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ へのデータパルスPdaの印加が連続する場合であっても、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧は、図13(b), (c)に示すようにデータパルスPdaごとに立ち上がり部分Stを有する。

【0204】

上記と同様に、本実施の形態に係るプラズマディスプレイ装置100では、アドレス電極 $4_{11} \sim 4_{1n}$ へデータパルスPdaを印加するタイミングt1とアドレス電極 $4_{21} \sim 4_{2n}$ へデータパルスPdaを印加するタイミングt2とをずらしている(図13(b), (c))。

【0205】

アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧がデータパルス Pda ごとに立ち上がり部分 St を有することにより、データパルス位相差 TR を得ることができる。つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧とスキャン電極 $1_{21} \sim 1_{2m}$ に印加される図 2 の書き込みパルス Pw の電圧との差が、立ち上がり部分 St ごとにアドレス放電に必要な電圧値を超える。

【0206】

したがって、図 13 (b), (c) に示すように、アドレス電極 $4_{11} \sim 4_{1n}$ へタイミング t1 に印加されるデータパルス Pda に対応して、書き込みパルス Pw が与えられるスキャン電極 1_{2k} (k は 1 ~ m のうちの任意の整数) においては、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 の放電電流がデータパルス位相差 TR 分ずれたタイミングで流れる。

【0207】

それにより、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 はタイミング t1 でアドレス放電を起こし、アドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 はタイミング t2 でアドレス放電を起こす。それにより、スキャン電極 1_{2k} には 2 つのピークを有する放電電流 DA4 が発生する。

【0208】

この場合、スキャン電極 1_{2k} には、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 の放電電流がデータパルス位相差 TR 分ずれたタイミングで流れるため、放電電流 DA4 の振幅 AM4 は、小さくなる (図 13 (e))。それにより、スキャン電極 1_{2k} に印加される書き込みパルス Pw に発生する電圧降下 E4 が低減される (図 13 (d))。その結果、アドレス放電が安定となる。

【0209】

このように、本実施の形態に係るプラズマディスプレイ装置 100 では、図 6 の第 1 の電力回收回路 8a および第 2 の電力回收回路 8b に回収電位クランプ回路 80 を設けることにより、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ へ個々に立ち上がり部分 St を有するデータパルス Pda を印加することができる。その結果、データパルス位相差 TR を得ることができ、安定したアドレス放電を確保することができる。

【0210】

続いて、図 6 のノード N3 の回収電位 Vm の変化について説明する。図 14 は、書き込み期間における図 6 のノード N3 の回収電位 Vm の変化を示す波形図である。

【0211】

図 14 では、回収電位 Vm の変化が図 6 のノード N1 の電圧 NV1 の変化とともに示されている。以下の説明において、図中の矢印 Pa1, Pa2, Pa3 で示されるパルス期間 Pa1, Pa2, Pa3 の各々は、それぞれ期間 TA, TB, TC を含む。

【0212】

パルス期間 Pa1 の期間 TA において、回収電位 Vm は回収コンデンサ C1 から浮遊容量 Cf およびパネル容量 Cp への電荷の放出により低下する。そして、期間 TB では、回収電位 Vm は一定の値に保持される。その後、期間 TC では浮遊容量 Cf およびパネル容量 Cp に蓄えられた電荷が回収コンデンサ C1 に回収されることにより、回収電位 Vm の値は上昇する。

【0213】

この回収電位 Vm の上昇は浮遊容量 Cf およびパネル容量 Cp から回収される電荷の量により変化する。

【0214】

パルス期間 Pa2 の期間 TA において、回収電位 Vm は回収コンデンサ C1 から浮遊容量 Cf およびパネル容量 Cp への電荷の放出により再び低下する。そして、期間 TB では、回収電位 Vm は一定の値に保持される。その後、期間 TC では浮遊容量 Cf およびパネル容量 Cp に蓄えられた電荷が回収コンデンサ C1 に再び回収されることにより、回収電位 Vm の値は上昇する。

【0215】

ここで、回収電位 V_m の上昇が限界電圧 V_r を超える場合、図6の回収電位クランプ回路80の働きにより、回収電位 V_m は限界電圧 V_r に固定される。このパルス期間 P_{a2} での回収電位 V_m の変化は、パルス期間 P_{a3} においても同様に行われる。

【0216】

なお、各パルス期間において、期間 T_A に回収コンデンサ C_1 から放出される電荷に比べ、期間 T_C に回収コンデンサ C_1 に回収される電荷が少ない状態が続くと、回収電位 V_m は各パルス期間ごとに順次低下していく。この場合の回収電位 V_m の最小値を最小回収電位 V_s とする。最小回収電位 V_s は、図6の電源端子 V_1 に印加される電源電圧 $V_d a$ の $1/2$ よりも大きい値となる。

【0217】

図15は、図14の回収電位 V_m と各サブフィールドごとの制御パルスの累積立ち上がり数との関係を示すグラフである。図15では、縦軸がサブフィールドごとの回収電位 V_m を表し、横軸が各サブフィールドごとの制御パルスの累積立ち上がり数を表す。

【0218】

ここで、累積立ち上がり数とは制御パルス $S_{a1} \sim S_{an}$ の立ち上がりの累積回数をいう。換言すれば、累積立ち上がり数は図1のPDP7における複数の放電セル14の放電と非放電との切り替わりの回数である。回収電位 V_m は制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数に応じて変化する。

【0219】

例えば、PDP7が「全白」または「全黒」を表示する場合、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数は、放電セル14の放電または非放電が切り替わることなく連続するため最少となる。このように、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数が少ない場合、回収電位 V_m は電源電圧 $V_d a$ に収束する。これにより、回収電位 V_m が上昇するので、第1および第2のデータドライバ群4a, 4bの回路損失が累積立ち上がり数に応じて低減される。

【0220】

本実施の形態においては、回収電位 V_m は図6の回収電位クランプ回路80の働きにより限界電圧 V_r を超えない。回収電位 V_m が限界電圧 V_r となった場合、上述のように電圧 NV_1 には限界電圧 V_r を中心とした変化ACが生じる。

【0221】

回収電位クランプ回路80が回収電位 V_m を限界電圧 V_r までに制限することにより、図12において説明したようにデータパルス $P_{d a}$ が連続してアドレス電極 $41_1 \sim 41_n$ に印加される場合の各放電セル14の放電が安定して行われる。

【0222】

PDP7が「トリオ市松」または「横縞模様」を表示する場合、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数は、全ての放電セル14間において放電と非放電との切り替わりが生じるため最多となる。このように、累積立ち上がり数が多い場合、回収電位 V_m は所定の値を有する最小回収電位 V_s に収束する。図15に示すように、最小回収電位 V_s は電源電圧 $V_d a$ の $1/2$ よりも少し高い値を示す。

【0223】

図3の各サブフィールドの書き込み期間 P_2 終了時において、第1の電力回収回路8aおよび第2の電力回収回路8bに回収される電力は、リセットされることなく、次のサブフィールドの書き込み期間に用いられる。このため、回収コンデンサ C_1 による回収電位 V_m は書き込み期間 P_2 以外で徐々に放電される。

【0224】

図6の第1の電力回収回路8aに内蔵されるチャージポンプ回路について説明する。上述のように、図6の第1の電力回収回路8aにはチャージポンプ回路が内蔵される。

【0225】

図16は図6の第1の電力回収回路8aに設けられるチャージポンプ回路の一例を示す

回路図である。図16においては、図6の破線N Fの範囲に設けられるチャージポンプ回路CG1, CG2の詳細な構成が示されている。このチャージポンプ回路CG1, CG2は、トランジスタQ1, Q3のゲートに印加する制御信号S1, S2を制御するために用いられる。

【0226】

図16において、チャージポンプ回路CG1は、ダイオードDp1、コンデンサCCp1および電界効果トランジスタ（以下、FETと略記する。）ドライバFD1を含む。また、チャージポンプ回路CG2は、ダイオードDp2、コンデンサCCp2およびFETドライバFD2を含む。

【0227】

図16において、FETドライバFD1は、図1のサブフィールド処理器3、電源端子Vp1、接地端子、ノードN1, NaおよびトランジスタQ1に接続されている。電源端子Vp2とノードNaとの間にダイオードDp1が接続され、ノードN1とノードNaとの間にコンデンサCCp1が接続されている。

【0228】

FETドライバFD2は、図1のサブフィールド処理器3、電源端子Vp3、接地端子、ノードNb, NcおよびトランジスタQ3に接続されている。電源端子Vp4とノードNcとの間にダイオードDp2が接続され、ノードNbとノードNcとの間にコンデンサCCp2が接続されている。

【0229】

次に、チャージポンプ回路CG1の動作について説明する。下記の説明において、トランジスタQ1は、ゲートにソースより約15V高い電圧が与えられたときにオンするものとする。また、電源端子Vp1には5Vの電圧が印加され、電源端子Vp2には15Vの電圧が印加される。

【0230】

FETドライバFD1には、電源端子Vp1の電圧が電源電圧Vccとして印加され、ノードN1の電圧が基準電圧VZとして印加され、ノードNaの電圧がバイアス電圧VBとして印加される。さらに、FETドライバFD1には、図1のサブフィールド処理器3から電力回收回路制御信号Haが与えられる。

【0231】

図2の書き込み期間P2以外の期間のチャージポンプ回路CG1の動作を説明する。この場合、図6のトランジスタQ2がオンする。これにより、ノードN1は接地端子に接続されるので、ノードN1の電圧NV1は接地電位となる。それにより、ノードNaの電圧がノードN1の電圧NV1よりも高くなるので、コンデンサCCp1には電源端子Vp2に印加される15Vの電源電圧Vccにより電荷が蓄えられる。その結果、ノードNaには約15Vのバイアス電圧VBが発生する。

【0232】

書き込み期間P2のチャージポンプ回路CG1の動作を説明する。書き込み期間P2において、ノードN1の電圧NV1は図7に示したように変化する。

【0233】

この場合、FETドライバFD1には、ノードN1から基準電圧VZとして電圧NV1が与えられるとともに、書き込み期間P2以外の期間にコンデンサCCp1に蓄えられた電荷に基づく約15Vのバイアス電圧VBが与えられる。

【0234】

FETドライバFD1は、図7の期間TBにおいて電力回收回路制御信号Haに基づいて制御信号S1を基準電圧VZよりもバイアス電圧VBだけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタQ1のゲートの電圧がソースの電圧よりも約15V高くなり、トランジスタQ1がオンする。

【0235】

次に、チャージポンプ回路CG2の動作について説明する。下記の説明において、トラ

ンジスタQ3は、ゲートにソースの電圧より約15V高い電圧が与えられたときにオンするものとする。また、電源端子Vp3には5Vの電圧が印加され、電源端子Vp4には15Vの電圧が印加される。

【0236】

FETドライバFD2には、電源端子Vp3の電圧が電源電圧Vccとして印加され、ノードNbの電圧が基準電圧VZとして印加され、ノードNcの電圧がバイアス電圧VBとして印加される。さらに、FETドライバFD2には、図1のサブフィールド処理器3から電力回収回路制御信号Haが与えられる。

【0237】

図2の書き込み期間P2以外の期間のチャージポンプ回路CG2の動作を説明する。この場合、図6のトランジスタQ2がオンする。これにより、ノードN1は接地端子に接続されるので、ノードN1の電圧NV1は接地電位となる。それにより、ノードN2の電圧NV2が接地電位となり、ノードNbの電圧NVbが接地電位となる。ノードNcの電圧がノードNbの電圧NVbよりも高くなるので、コンデンサCCp2には電源端子Vp4に印加される15Vの電源電圧Vccにより電荷が蓄えられる。その結果、ノードNcには約15Vのバイアス電圧VBが発生する。

【0238】

書き込み期間P2のチャージポンプ回路CG2の動作を説明する。書き込み期間P2において、ノードNbの電圧NVbは変化する。

【0239】

この場合、FETドライバFD2には、ノードNbから基準電圧VZとして電圧NVbが与えられるとともに、書き込み期間P2以外の期間にコンデンサCCp2に蓄えられた電荷に基づく約15Vのバイアス電圧VBが与えられる。

【0240】

FETドライバFD2は、図7の期間TAにおいて、電力回収回路制御信号Haに基づいて制御信号S3を基準電圧VZよりもバイアス電圧VBだけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタQ3のゲートの電圧がソースの電圧NVbよりも約15V高くなり、トランジスタQ3をオンする。

【0241】

このように、チャージポンプ回路CG1, CG2を用いることにより、ノードN1, N2の電圧が変化しても、トランジスタQ1, Q2を確実にオンさせることができる。

【0242】

図1の放電セル14が安定して放電するための条件は、書き込み電圧と維持電圧との関係に基づき決定される。書き込み電圧とは、アドレス放電のために選択されたアドレス電極と選択されたスキャン電極との間に印加される電圧をいい、図2の書き込み期間P2に図1のアドレス電極41₁～41_n, 42₁～42_nに印加される図2のデータパルスPdaの電圧とスキャン電極12₁～12_mに印加される図2の書き込みパルスPwの電圧との差である。

【0243】

また、維持電圧とは、維持放電のために各スキャン電極と各サステイン電極との間に印加される電圧をいい、図2の維持期間P3にスキャン電極12₁～12_mに印加される図2の維持パルスPscの電圧とサステイン電極13₁～13_mの電圧との差およびサステイン電極13₁～13_mに印加される図2の維持パルスPsuの電圧とスキャン電極12₁～12_mの電圧との差である。

【0244】

以下、図1のPDP7上の放電セル14を安定して放電させるために許容される書き込み電圧および維持電圧の範囲を駆動マージンと呼ぶ。図5で説明したように、データパルス位相差TRにより書き込みパルスPwの電圧降下量E2を低減すると、駆動マージンが拡大される。駆動マージンの拡大とデータパルス位相差TRの大きさとの関係について説明する。

【0245】

図17は、図1のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との関係を説明するためのグラフである。図17のグラフでは、横軸が書き込み電圧を示し、縦軸が維持電圧を示す。なお、図17に示される駆動マージンは、図15の限界電圧 V_r を電源電圧 V_{da} の0.8倍に設定した場合のものである。

【0246】

図17において、曲線L1を超える書き込み電圧および維持電圧が図1のPDP7に印加されると、選択されていない放電セル14が維持電圧だけで誤放電する場合がある。なお、曲線L1を超える書き込み電圧および維持電圧の範囲は矢印MO1で示される範囲である。例えば、曲線L1を超える書き込み電圧および維持電圧で「全黒」の画像を表示する場合、一部の放電セル14が誤放電し、画像が劣化する。

【0247】

また、図17において、曲線L2より低い維持電圧が図1のPDP7に印加されると、選択された放電セル14が十分に放電しない場合がある。なお、曲線L2より低い書き込み電圧および維持電圧の範囲は矢印MO2で示される範囲である。例えば、曲線L2より低い維持電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

【0248】

図1のプラズマディスプレイ装置100の駆動マージンは、これら曲線L1, L2および図5のデータパルス位相差TRにより決定される。

【0249】

ここで、データパルス位相差TRが0の場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L3により示されている。

【0250】

また、データパルス位相差TRが150nsの場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L4により示されている。

【0251】

さらに、データパルス位相差TRが200nsの場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L5により示されている。

【0252】

図17に示すように、放電セル14を安定して放電させるために最低限必要な書き込み電圧はデータパルス位相差TRが大きくなるにつれて低くなる。つまり、データパルス位相差TRを大きくすることにより、図5に示すようにスキャン電極に流れる放電電流のピークを低減することができるので、放電に必要な書き込み電圧の下限値を下げができる。それにより、放電セル14を安定して放電させるために許容される書き込み電圧の範囲が広くなる。

【0253】

図17の結果から、データパルス位相差TRが0に設定された場合には、駆動マージンは曲線L1, L2, L3で囲まれた範囲となる。また、データパルス位相差TRが150nsに設定された場合には、駆動マージンは曲線L1, L2, L4で囲まれた範囲となる。さらに、データパルス位相差TRが200nsに設定された場合には、駆動マージンは曲線L1, L2, L5で囲まれた範囲となる。これにより、駆動マージンはデータパルス位相差TRが大きいほど拡大されることがわかる。本実施の形態において、データパルス位相差TRは約200ns以上とすることが望ましいが、これについては後述する。

【0254】

なお、図17において、矢印MO3で示される範囲では、維持電圧に対して十分な書き込み電圧が得らず、放電セル14が十分に放電しない場合がある。例えば、曲線L5より

低い書き込み電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

【0255】

本実施の形態において、図5のデータパルス位相差TRは以下のように設定されることが望ましい。

【0256】

図18は、書き込み電圧と位相差との関係を示すグラフである。縦軸が書き込み電圧を表し、横軸がデータパルス位相差TRを表す。

【0257】

図18において、実線J1は、維持電圧を所定の電圧値Ve（図17参照）とし、限界電圧Vrを0.8Vda（Vdaは図6の電源電圧Vdaと同一）とした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の下限値を示す。したがって、図18のハッチングを施した範囲内では、放電セル14の安定した放電を得ることができる。

【0258】

横軸のデータパルス位相差TRに注目すると、約200nsを超える位相差がある場合、書き込み電圧の下限値が従来から一般に用いられている電圧値Vj（図18の破線）の書き込み電圧に比べ非常に低くなる。したがって、本実施の形態に係るプラズマディスプレイ装置100においては、データパルス位相差TRを約200ns以上とすることが望ましい。

【0259】

データパルス位相差TRが600nsよりも大きいと、第1のデータドライバ群4aにより駆動される放電セル14の放電タイミングと、第2のデータドライバ群4bにより駆動される放電セル14の駆動タイミングのずれが大きくなる。したがって、データパルス位相差TRは600ns以下であることが望ましく、500ns以下であることがより望ましい。

【0260】

これにより、データパルス位相差TRを約200nsから600nsに設定することが望ましく、データパルス位相差TRを約200nsから500nsに設定することがより望ましい。

【0261】

このようにデータパルス位相差TRを設定することにより、放電セル14の安定した放電を得るのに必要な書き込み電圧の下限値が拡大されるので、放電セル14の安定した放電を確保しつつ、書き込み電圧を低減することができる。

【0262】

さらに、本実施の形態において、図7の限界電圧Vrは以下のように設定されることが望ましい。

【0263】

図19は、書き込み電圧と限界電圧Vrとの関係を示すグラフである。縦軸が書き込み電圧を表し、横軸が限界電圧Vrを表す。

【0264】

図19において、実線J2は、維持電圧を所定の電圧値Ve（図17参照）とし、図5のデータパルス位相差TRを200nsとした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の下限値を示す。したがって、図19のハッチングを施した範囲内では、放電セル14の安定した放電を得ることができる。

【0265】

横軸の限界電圧Vrに注目すると、限界電圧Vrが約0.8Vdaより低く設定される場合、従来から一般に用いられている電圧値Vj（図18の破線）の書き込み電圧に比べ書き込み電圧の下限値が非常に低くなる。

【0266】

したがって、本実施の形態に係るプラズマディスプレイ装置100においては、限界電圧V_rを約0.8Vda以下とすることが望ましい。また、限界電圧V_rを約0.5Vdaから約0.8Vdaに設定することがより望ましく、限界電圧V_rを約0.8Vdaに設定することがさらに望ましい。

【0267】

このように限界電圧V_rを設定することにより、放電セル14の安定した放電を得るために必要な書き込み電圧の下限値が拡大されるので、放電セル14の安定した放電を確保しつつ書き込み電圧を低減することができる。

【0268】

本実施の形態に係るプラズマディスプレイ装置100においては、第1および第2のデータドライバ群4a, 4bならびに第1および第2の電力回收回路8a, 8bによりデータパルス位相差TRが生成される。これにより、放電セル14の安定した放電を確保しつつ書き込みパルスPwの電圧（駆動電圧）を低減することができ、駆動マージンが拡大される。

【0269】

なお、本実施の形態においては、2つのデータドライバ群と2つの電力回收回路を用いることによりデータパルス位相差TRを生成しているが、これに限らず、複数のデータパルス位相差TRを生成できるのであれば、データドライバ群および電力回收回路はさらに複数設けてもよい。

【0270】

上述のように図6のノードN3の回収電位Vmは、ノードN1の電圧NV1の立ち上がり（データパルスの立ち上がり）ごとに、放電セル14の放電または非放電の切り替わり数（図15の累積立ち上がり数）に応じて変化する。特に、累積立ち上がり数が少なくなると、回収電位Vmは上昇する。これにより、回路損失が低減されるので、プラズマディスプレイ装置100の消費電力が十分に低減される。

【0271】

本実施の形態に係るプラズマディスプレイ装置100には図6の回収電位クランプ回路80が設けられている。これにより、図6のノードN3の回収電位Vmは、ノードN1の電圧NV1の立ち上がり（データパルスの立ち上がり）ごとに変化するが、回収電位クランプ回路80により限界電圧V_rよりも高くなないように制御される。これにより、回収電位Vmは図6の電源電圧Vdaまで上昇することができないので、図2のデータパルスPdaをアドレス電極411～41nに印加するタイミングとデータパルスPdaをアドレス電極421～42nに印加するタイミングとの間でデータパルス位相差TRを発生させることができる。

【0272】

その結果、第1および第2の電力回收回路8a, 8bによりプラズマディスプレイ装置100の消費電力が低減されるとともに、図1の放電セル14の安定した放電を確保しつつ書き込みパルスPwの電圧（駆動電圧）を低減することができ、駆動マージンが拡大される。

【0273】

以上、本実施の形態においては、第1および第2のデータドライバ群4a, 4bの各々が、アドレス電極411～41nおよびアドレス電極421～42nに印加するデータパルスPdaの出力タイミングをずらすことによりデータパルス位相差TRが生じている。

【0274】

しかしながら、上記データパルス位相差TRを得ることができるのであれば、例えば、サブフィールド処理器3が、第1のデータドライバ群4aへ出力するデータドライバ制御信号DSaのタイミングおよび第1の電力回收回路8aへ出力する電力回收回路制御信号Haのタイミングと第2のデータドライバ群4bへ出力するデータドライバ制御信号DSbのタイミングおよび第2の電力回收回路8bへ出力する電力回收回路制御信号Hbのタイミングとをずらすことによりデータパルス位相差TRを生じさせてもよい。

【0275】

その他、データパルス位相差TRを得るために、第1および第2のデータドライバ群4a, 4bの各々には、アドレス電極41₁～41_nおよびアドレス電極42₁～42_nに印加するデータパルスPdaの出力タイミングが異なるように遅延回路を設けてもよい。

【0276】

さらに、データパルス位相差TRを得るために、第1および第2の電力回收回路8a, 8bの各々には、第1および第2のデータドライバ群4a, 4bへ出力する電力を遅延させる遅延回路を設けてもよい。

【0277】

第1のデータドライバ群4aに接続されるアドレス電極41₁～41_nは必ずしも複数である必要はなく、1つであってもよい。また、第2のデータドライバ群4bに接続されるアドレス電極42₁～42_nについても同様に、第2のデータドライバ群4bに接続されるアドレス電極42₁～42_nは必ずしも複数である必要はなく、1つであってもよい。

【0278】

さらに、本実施の形態において、第1のデータドライバ群4aに接続されるアドレス電極41₁～41_nの個数と第2のデータドライバ群4bに接続されるアドレス電極42₁～42_nとの個数は同一であるが、これに限らず、第1および第2のデータドライバ群4a, 4bに設けられる各アドレス電極の個数は互いに異なってもよい。

【0279】

(第2の実施の形態)

第2の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

【0280】

第2の実施の形態に係るプラズマディスプレイ装置100においては、第1の電力回收回路8aおよび第2の電力回收回路8bに設けられる回収電位クランプ回路81が図6の回収電位クランプ回路80の構成と異なる。

【0281】

図20は、第2の実施の形態に係る第1のデータドライバ群4a、第1の電力回收回路8aおよびPDP7の回路図である。図20において、回収電位クランプ回路81は、抵抗R3、ダイオードD3, D4およびバイポーラトランジスタ（以下、トランジスタと略記する。）Q5を含む。

【0282】

回収電位クランプ回路81において、ノードN3とノードN4との間にはダイオードD3が接続され、ノードN4はトランジスタQ5のエミッタに接続され、トランジスタQ5のコレクタは抵抗R3を介して接地端子に接続されている。電源端子V2はトランジスタQ5のベースに接続されている。電源端子V2とノードN4との間にダイオードD4が接続されている。

【0283】

図7の期間TA～TCにおいて、第1の電力回收回路8aの回収電位クランプ回路81では次に示す動作が行われている。

【0284】

回収電位クランプ回路81において、電源端子V2には予め第1の実施の形態の限界電圧Vrが印加されている。一方、ノードN4にはノードN3の回収電位Vmが与えられる。回収電圧Vmは後述の第1のデータドライバ群4aの動作に基づいて変化する。ここでは、説明を簡単にするためダイオードD3による電圧降下は無視する。

【0285】

トランジスタQ5は、電源端子V2の限界電圧VrがノードN4の電圧以上である場合にオフし、電源端子V2の限界電圧VrがノードN4の電圧より低い場合にオンする。つまり、トランジスタQ5は、ノードN3の回収電位Vmが限界電圧Vr以下である場合に

オフし、ノードN3の回収電位Vmが限界電圧Vrよりも高い場合にオンする。

【0286】

これにより、回収電位Vmが限界電圧Vr以下である場合、トランジスタQ5がオフするので、回収コンデンサC1に蓄えられた電荷は接地端子に放出されることなく保存される。

【0287】

また、ノードN3の回収電位Vmが限界電圧Vrより高い場合、トランジスタQ5がオンするので、回収コンデンサC1に蓄えられた電荷がノードN3、ダイオードD3、ノードN4、トランジスタQ5および抵抗R3を介して接地端子に放出される。その結果、ノードN3の回収電位Vmは限界電圧Vrを超えない。

【0288】

なお、上記説明において、ダイオードD3による電圧降下を考慮した場合、電源端子V2に印加される電圧は限界電圧VrよりもダイオードD3の電圧降下分低く設定される。ダイオードD3の電圧降下は、例えば、0.7Vである。

【0289】

このように、回収電位クランプ回路81は、ノードN3の回収電位Vmが限界電圧Vrを超える場合にクランプ動作を行う。したがって、回収電位Vmは限界電圧Vrを超えない。

【0290】

このように、第2の実施の形態に係るプラズマディスプレイ装置100の第1および第2の電力回収回路8a, 8bの回収電位クランプ回路81では、電源端子V2に直接、限界電圧Vrを印加することによりトランジスタQ5のベースに印加する電圧の調整が容易となっている。

【0291】

(第3の実施の形態)

第3の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

【0292】

第3の実施の形態に係るプラズマディスプレイ装置100においては、第1の電力回収回路8aおよび第2の電力回収回路8bに設けられる回収電位クランプ回路82が図6の回収電位クランプ回路80の構成と異なる。

【0293】

図21は、第3の実施の形態に係る第1のデータドライバ群4a、第1の電力回収回路8aおよびPDP7の回路図である。図21において、回収電位クランプ回路82は、ツエナーダイオードD5を含む。

【0294】

回収電位クランプ回路82において、ノードN3と接地端子との間にツエナーダイオードD5が接続されている。なお、ノードN3はツエナーダイオードD5のカソードに接続されている。ツエナーダイオードD5には、カソードに第1の実施の形態の限界電圧Vrを超える電圧が印加されることにより逆方向の電流が流れる。

【0295】

図7の期間TA～TCにおいて、第1の電力回収回路8aの回収電位クランプ回路82では次に示す動作が行われている。

【0296】

回収電位クランプ回路82において、ツエナーダイオードD5のカソードにはノードN3の回収電位Vmが与えられる。回収電位Vmは後述の第1のデータドライバ群4aの動作に基づいて変化する。上述のように、ツエナーダイオードD5はカソードに限界電圧Vrを超える電圧が印加されることにより、逆方向の電流を流す。これにより、ツエナーダイオードD5はノードN3の回収電位Vmが限界電圧Vr以下である場合に電流を流さず、ノードN3の回収電位Vmが限界電圧Vrよりも高い場合に逆方向の電流を流す。

【0297】

これにより、回収電位 V_m が限界電圧 V_r 以下である場合、回収コンデンサ C_1 に蓄えられた電荷は接地端子に放出されることなく保存される。

【0298】

また、ノード N_3 の回収電位 V_m が限界電圧 V_r より高い場合、回収コンデンサ C_1 に蓄えられた電荷がツェナーダイオード D_5 を介して接地端子に放出される。その結果、ノード N_3 の回収電位 V_m は限界電圧 V_r を超えない。

【0299】

このように、回収電位クランプ回路 8_2 は、ノード N_3 の回収電位 V_m が限界電圧 V_r を超える場合にクランプ動作を行う。したがって、回収電位 V_m は限界電圧 V_r を超えない。

【0300】

第2の実施の形態に係るプラズマディスプレイ装置100の第1および第2の電力回収回路 8_a , 8_b の回収電位クランプ回路 8_2 では、ツェナーダイオード D_5 のみによりノード N_3 の回収電位 V_m の制御を行っている。これにより、構成が容易となっている。

【0301】

以上の第1～第3の実施の形態においては、プラズマディスプレイ装置100が表示装置に相当し、複数のアドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ が第1の電極に相当し、複数のスキャン電極 $1_{21} \sim 1_{2n}$ が第2の電極に相当し、放電セル 1_4 が容量性発光素子に相当し、PDP7が表示パネルに相当し、第1のデータドライバ群 4_a および第1の電力回収回路 8_a から構成される回路ならびに第2のデータドライバ群 4_b および第2の電力回収回路 8_b から構成される回路がドライブ回路に相当する。

【0302】

また、図6のノード N_1 の電圧 NV_1 が駆動パルスに相当し、図2および図3の書き込み期間 P_2 がアドレス期間に相当し、データパルス位相差 TR が位相差に相当し、データパルス Pda がデータパルスに相当する。

【0303】

さらに、電源電圧 Vda が第1の電源電圧に相当し、電源端子 V_1 が第1の電源端子に相当し、図6のノード N_1 が第1のノードに相当し、Nチャネル電界効果トランジスタ Q_1 が第1のスイッチング素子に相当し、Nチャネル電界効果トランジスタ Q_2 が第2のスイッチング素子に相当する。

【0304】

また、ノード N_2 が第2のノードに相当し、回収コイル L が誘導性素子に相当し、ノード N_3 が第3のノードに相当し、Nチャネル電界効果トランジスタ Q_3 が第3のスイッチング素子に相当し、Nチャネル電界効果トランジスタ Q_4 が第4のスイッチング素子に相当し、回収コンデンサ C_1 が回収用容量性素子に相当する。

【0305】

さらに、限界電圧 V_r が所定値に相当し、回収電位クランプ回路 8_0 , 8_1 , 8_2 が電位制限回路に相当し、Pチャネル電界効果トランジスタ $Q_{11} \sim Q_{1n}$ およびNチャネル電界効果トランジスタ $Q_{21} \sim Q_{2n}$ が第1のスイッチング回路に相当し、図6のノード N_5 の電圧 NV_5 および図20の電源端子 V_2 に印加される電圧が制御信号に相当し、電源端子 V_2 に印加される電圧が第2の電源電圧に相当し、電源端子 V_2 が第2の電源端子に相当する。

【0306】

また、バイポーラトランジスタ Q_5 およびダイオード D_3 が第2のスイッチング回路に相当し、ノード N_4 が第4のノードに相当し、バイポーラトランジスタ Q_5 が第5のスイッチング素子に相当し、ツェナーダイオード D_5 が一方向性導通素子に相当し、チャージポンプ回路 CG_1 , CG_2 がチャージポンプ回路に相当する。

【0307】

さらに、ノード N_a , N_c は第5のノードに相当し、コンデンサ CC_p1 , CC_p2 が

充電用容量素子に相当し、電源端子Vp2, Vp4が第3の電源端子に相当し、電源端子Vp2, Vp4に印加される電圧(15V)が第3の電源電圧に相当し、ダイオードDp1, Dp2が一方向性導通素子に相当し、FETドライバFD1, FD2が制御信号出力回路に相当する。

【産業上の利用可能性】

【0308】

本発明は、複数の放電セルを選択的に放電させるとともに放電セルの電荷を回収しつつ画像を表示する表示装置およびその駆動方法に有用である。

【図面の簡単な説明】

【0309】

【図1】第1の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図

【図2】図1のアドレス電極、スキャン電極およびサステイン電極に与えられる駆動電圧の一例を示すタイミング図

【図3】図1のプラズマディスプレイ装置に用いられるADS方式を説明するための説明図

【図4】図1のPDPの表示状態の一例を示す模式図であり、図5はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図

【図5】データパルス位相差に対するアドレス放電電流の依存性を説明するための図

【図6】図1の第1のデータドライバ群、第1の電力回収回路およびPDPの回路図

【図7】図1の第1および第2の電力回収回路の書き込み期間の動作を示すタイミング図

【図8】PDPの表示状態の一例を示す模式図

【図9】図8の表示状態を得る場合の図6のノードN1の電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図10】図8の表示状態を得る場合の図6のノードN1の電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図11】図8の表示状態を得る場合の図6のノードN1の電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図12】図6の回収電位クランプ回路の働きを説明するための図

【図13】図6の回収電位クランプ回路の働きを説明するための図

【図14】書き込み期間における図6のノードN3の回収電位の変化を示す波形図

【図15】図14の回収電位と各サブフィールドごとの制御パルスの累積立ち上がり数との関係を示すグラフ

【図16】図6の第1の電力回収回路に設けられるチャージポンプ回路の一例を示す回路図

【図17】図1のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との関係を説明するためのグラフ

【図18】書き込み電圧と位相差との関係を示すグラフ

【図19】書き込み電圧と限界電圧との関係を示すグラフ

【図20】第2の実施の形態に係る第1のデータドライバ群、第1の電力回収回路およびPDPの回路図

【図21】第3の実施の形態に係る第1のデータドライバ群、第1の電力回収回路およびPDPの回路図

【図22】従来のAC型プラズマディスプレイ装置の基本構成を示すブロック図

【図23】図22のPDPにおけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図

【図24】複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置のPDPの表示状態の一例を示す模式図

【図25】データパルス位相差に対するアドレス放電電流の依存性を説明するための図

【図26】従来の電力回収回路の一例を示す回路図

【図27】図26の電力回収回路の書き込み期間の動作を示すタイミング図

【図28】PDPの表示状態の一例を示す模式図

【図29】図28の表示状態を得るためにアドレス電極に印加されるデータパルスの波形図

【符号の説明】

【0310】

4 a 第1のデータドライバ群

4 b 第2のデータドライバ群

7 PDP

8 a 第1の電力回収回路

8 b 第2の電力回収回路

12₁ ~ 12_n スキャン電極

14 放電セル

41₁ ~ 41_n, 42₁ ~ 42_n アドレス電極

80, 81, 82 回収電位クランプ回路

100 プラズマディスプレイ装置

C1 回収コンデンサ

CCp1, CCp2 コンデンサ

CG1, CG2 チャージポンプ回路

Cf 浮遊容量

Cp パネル容量

D3, Dp1, Dp2 ダイオード

D5 ツエナーダイオード

FD1, FD2 FETドライバ

L 回収コイル

N1~N5, Na, Nc ノード

NV1, NV5 電圧

P2 書き込み期間

Pda データパルス

Q1~Q4, Q2₁ ~ Q2_n Nチャネル電界効果トランジスタ

Q1₁ ~ Q1_n Pチャネル電界効果トランジスタ

Q5 バイポーラトランジスタ

R1, R2 抵抗

Sa₁ ~ Sa_n 制御パルス

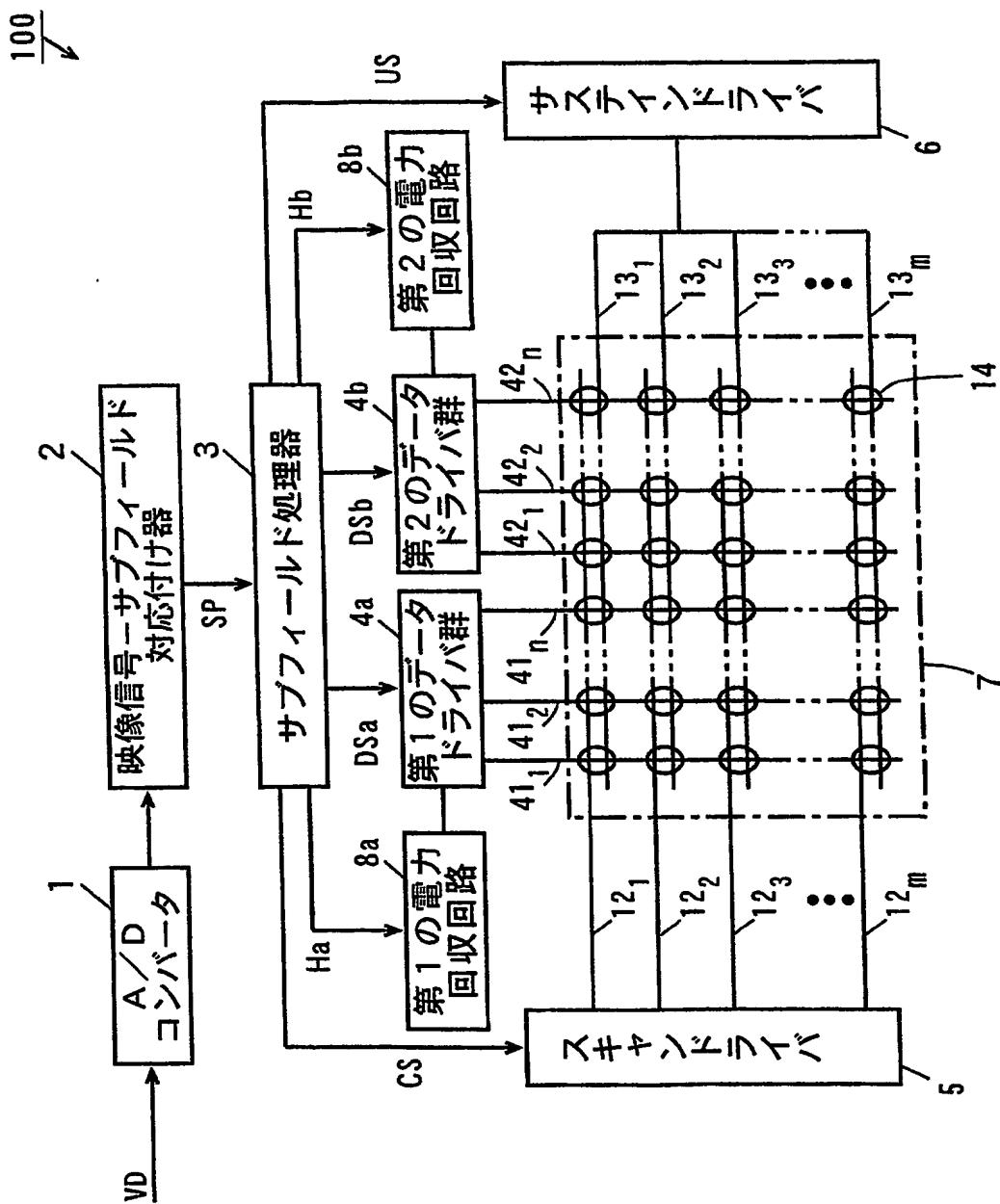
TR データパルス位相差

Vda 電源電圧

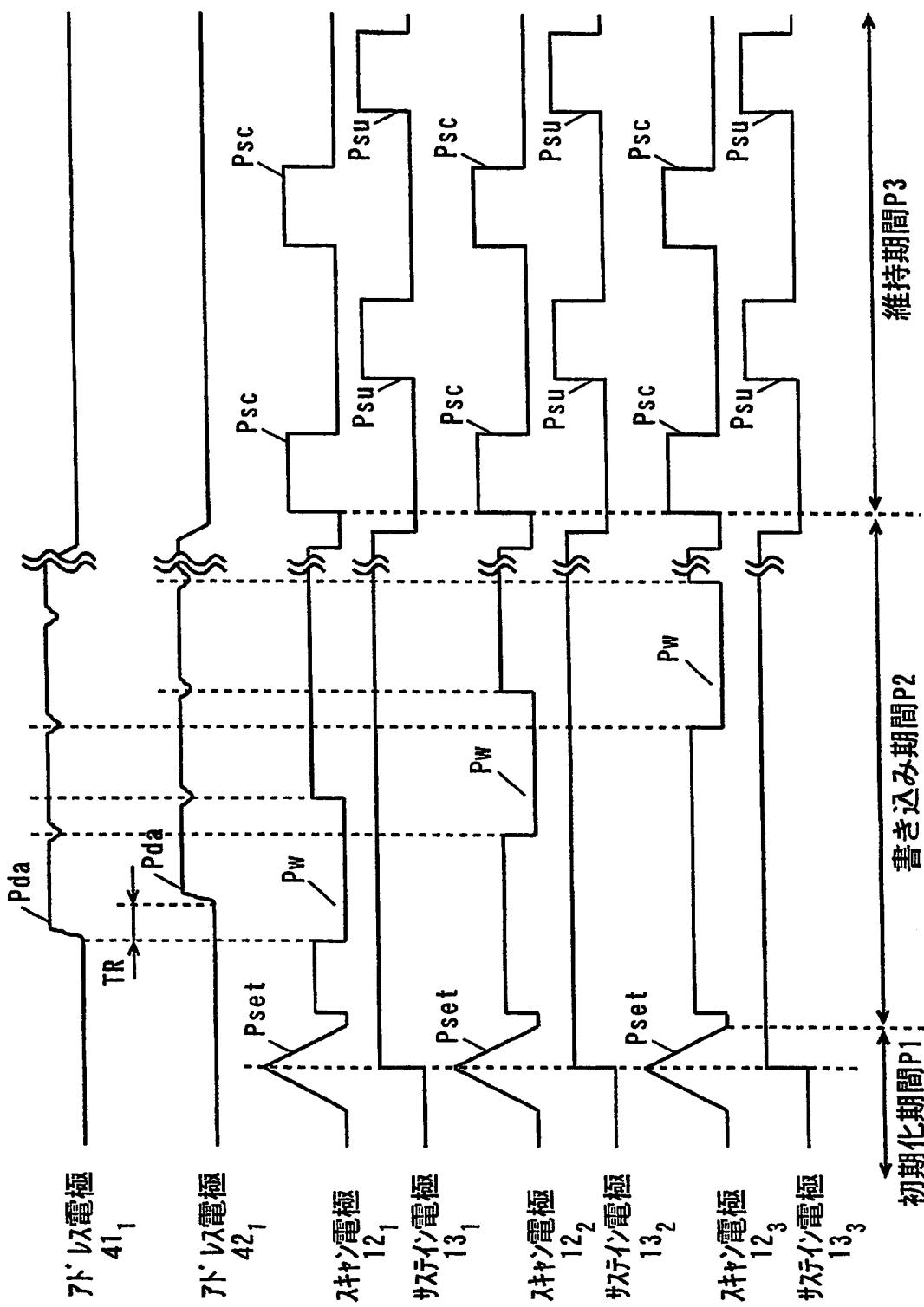
V1, V2, Vp2, Vp4 電源端子

Vr 限界電圧

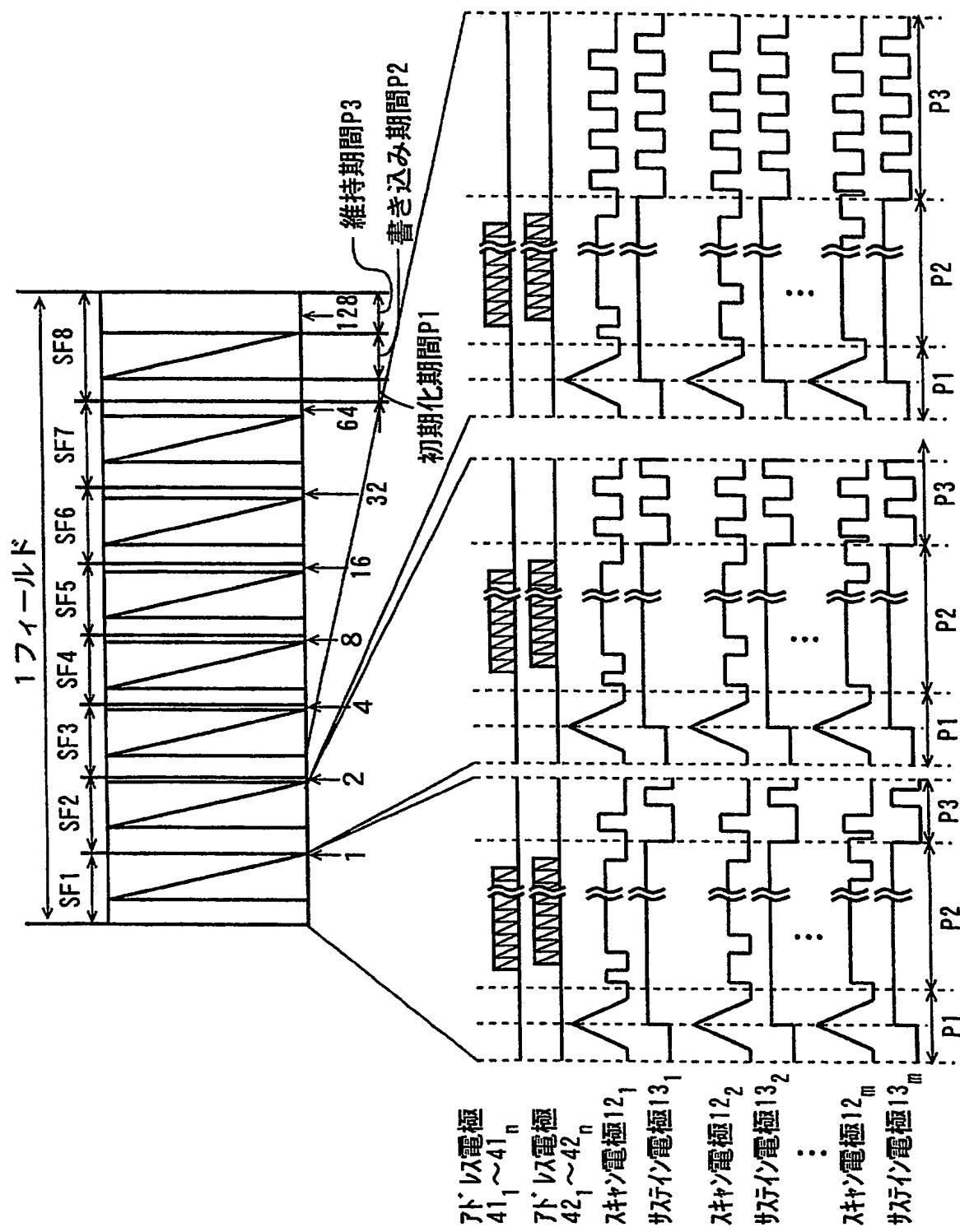
【書類名】 図面
【図1】



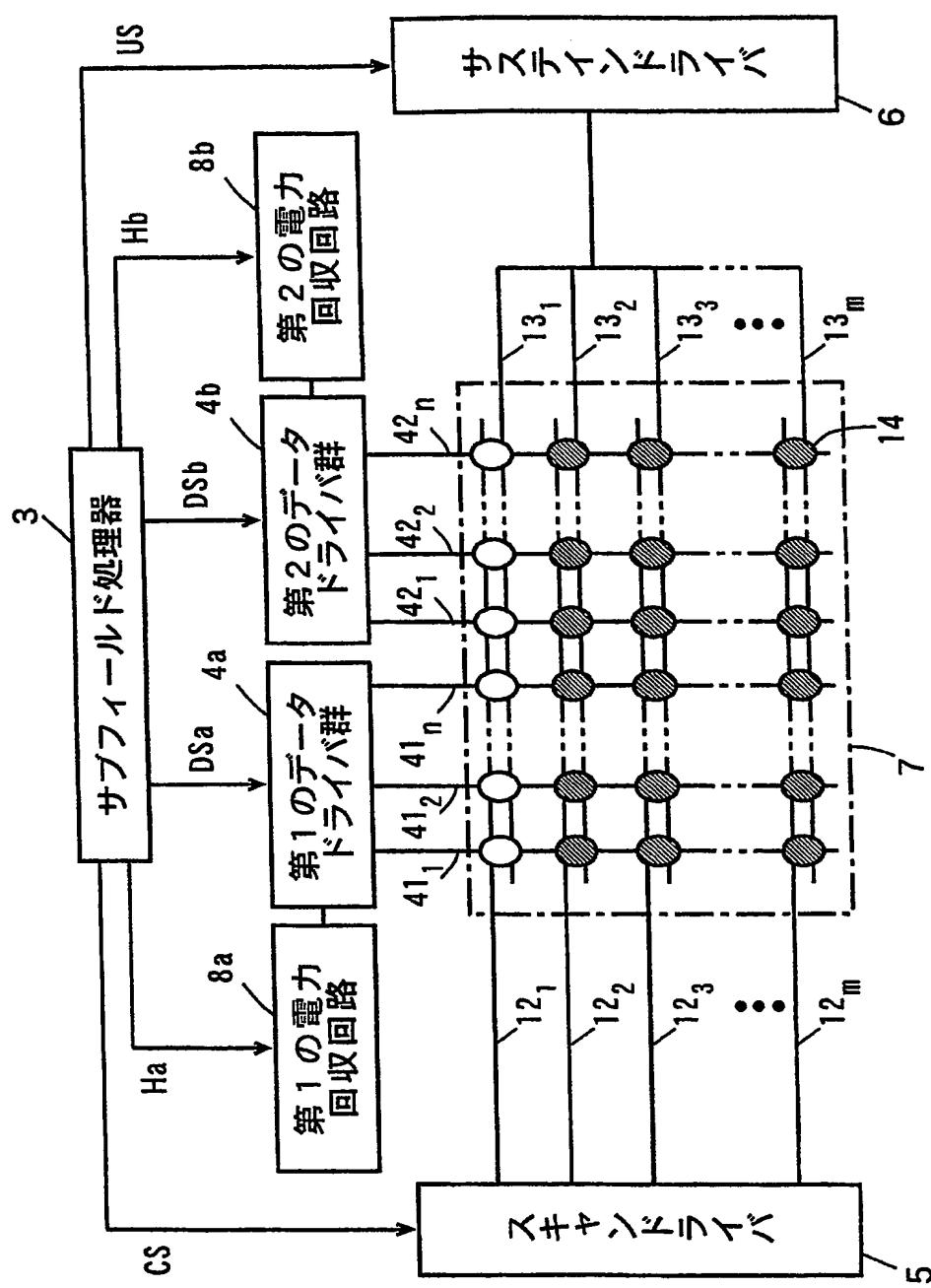
【図2】



【図3】

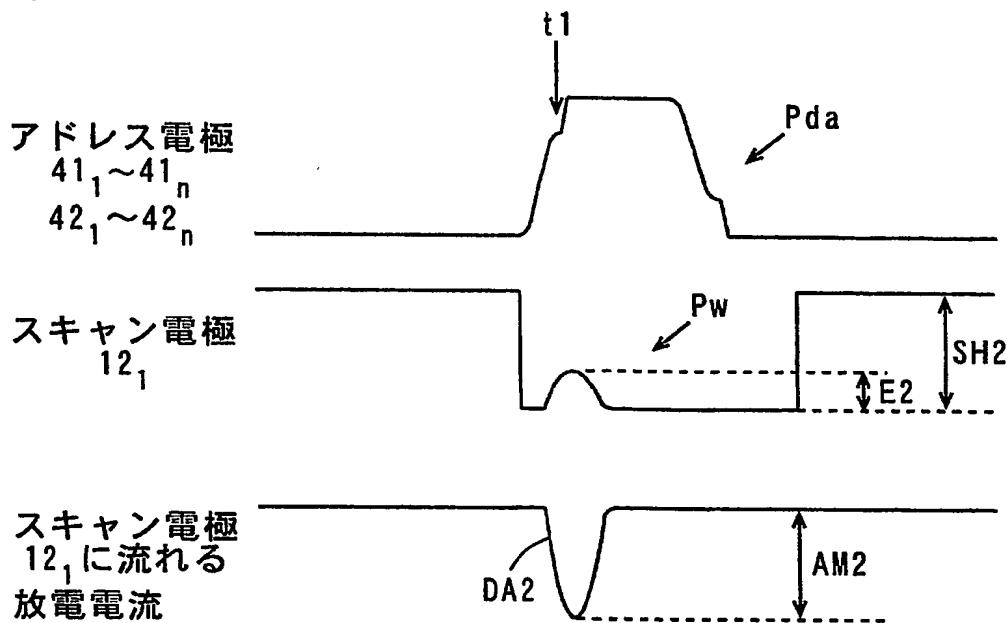


【図4】



【図5】

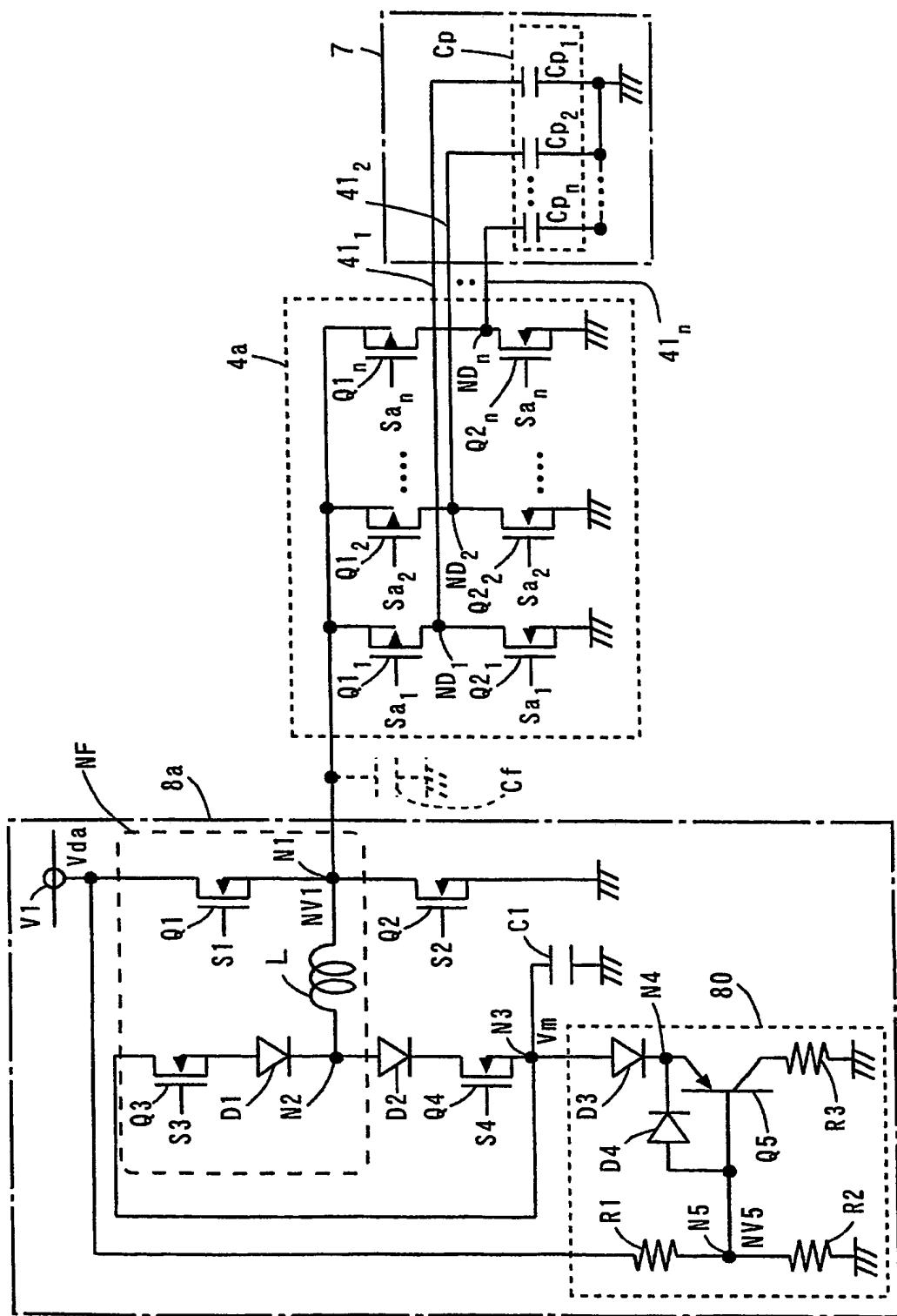
(a)



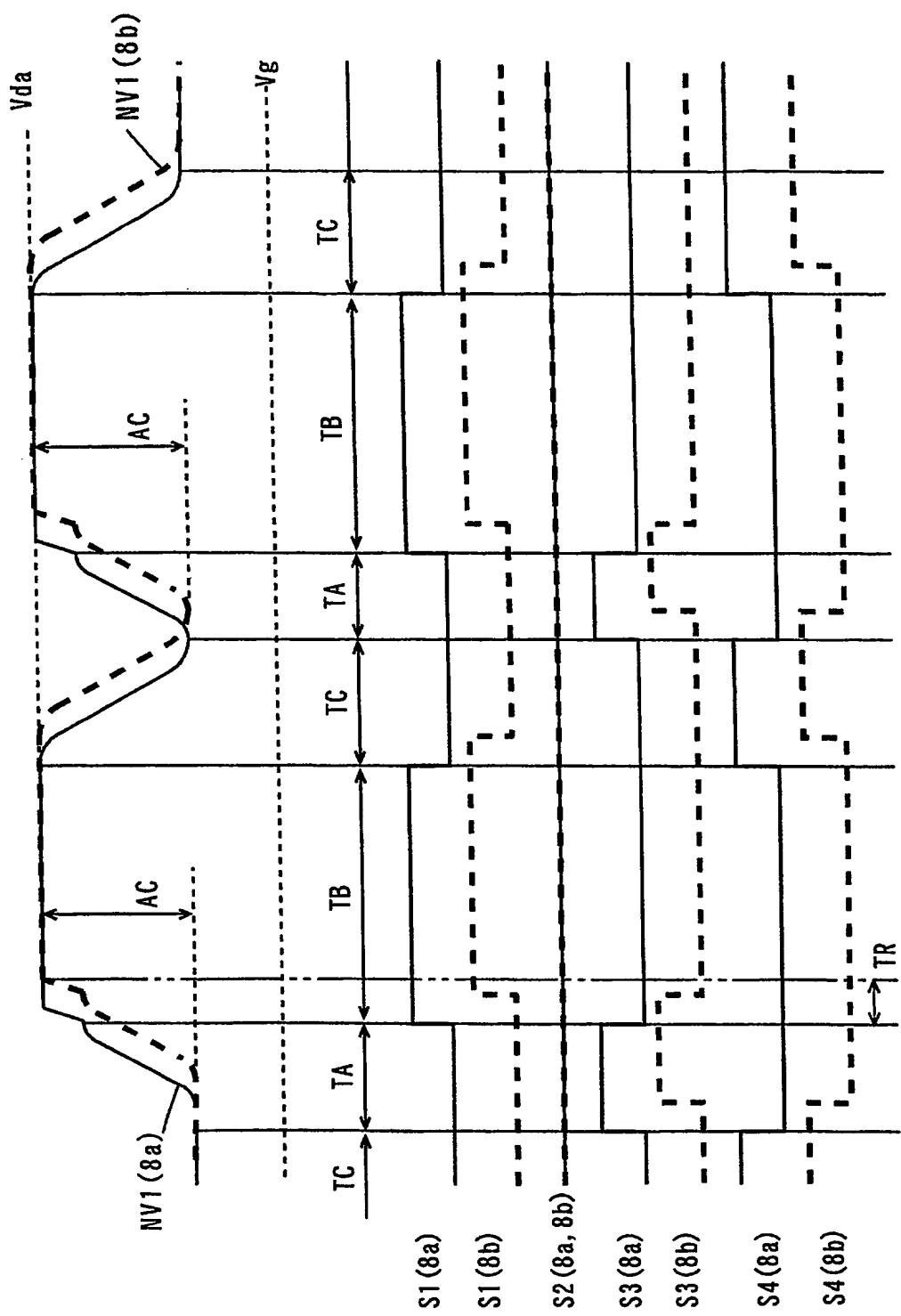
(b)

アドレス電極
 $41_1 \sim 41_n$ アドレス電極
 $42_1 \sim 42_n$ スキャン電極
 12_1 スキャン電極
 12_1 に流れる放電電流

【図6】

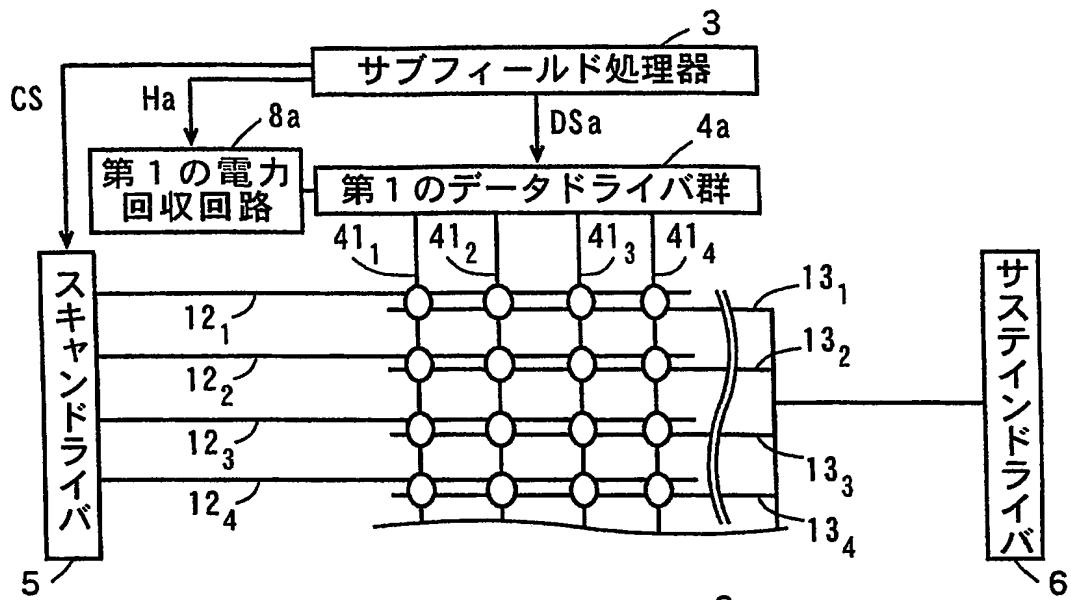


【図7】

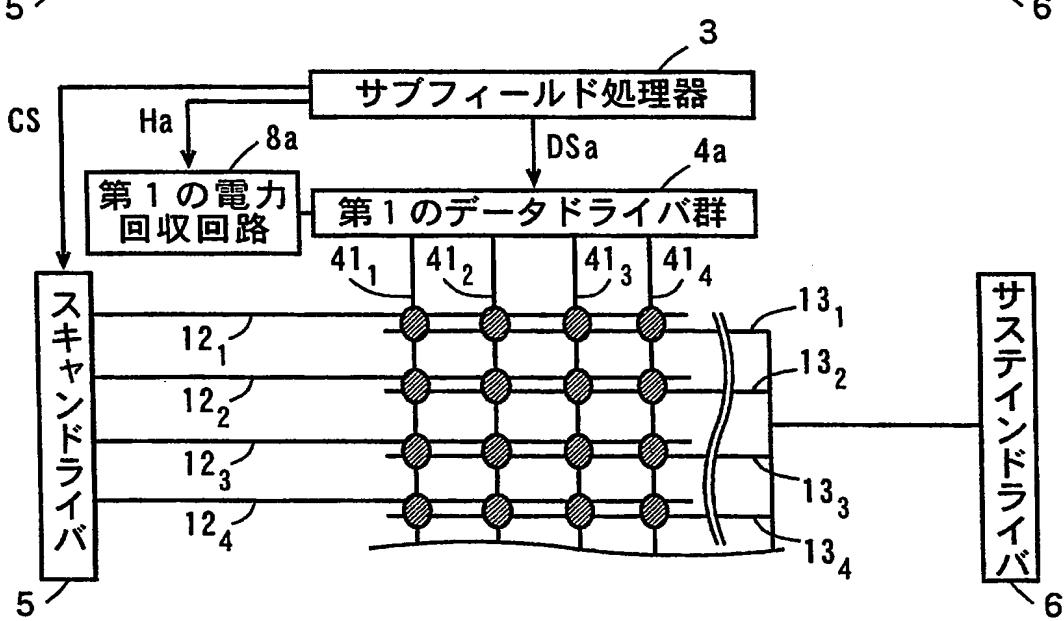


【図8】

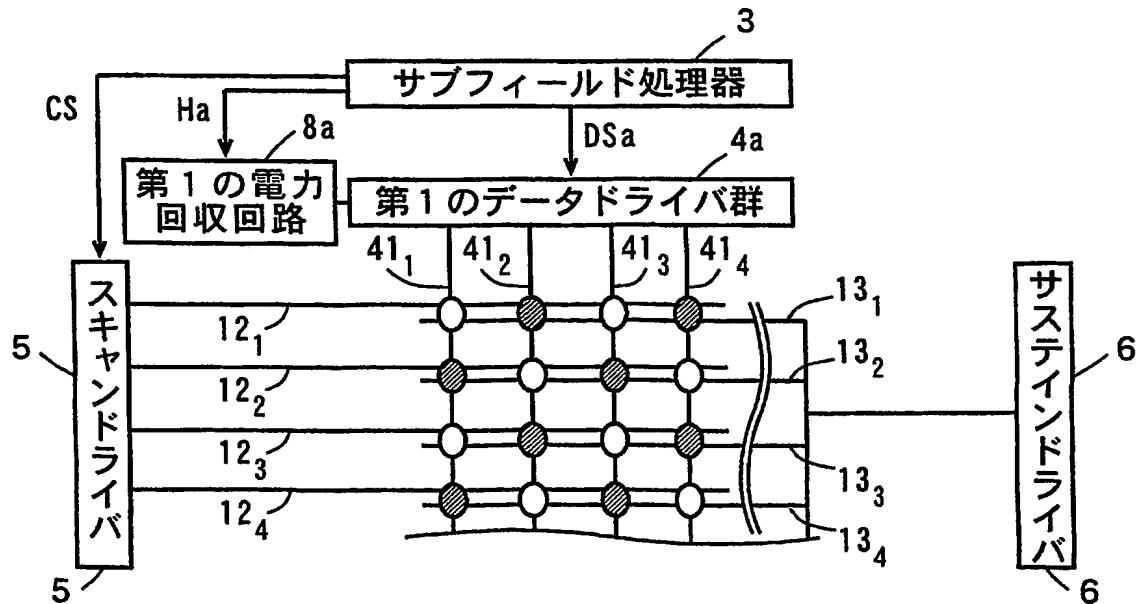
(a)



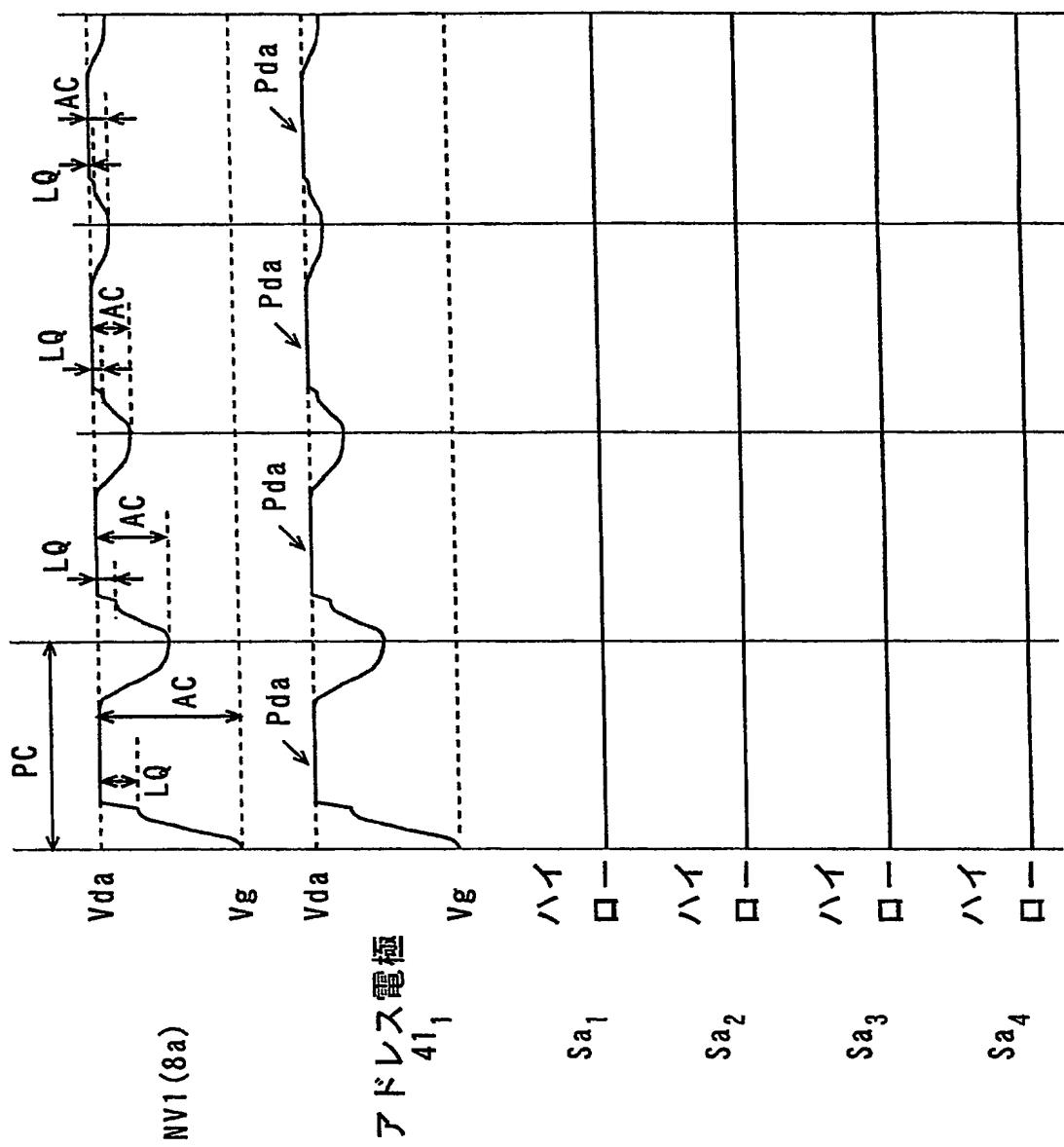
(b)



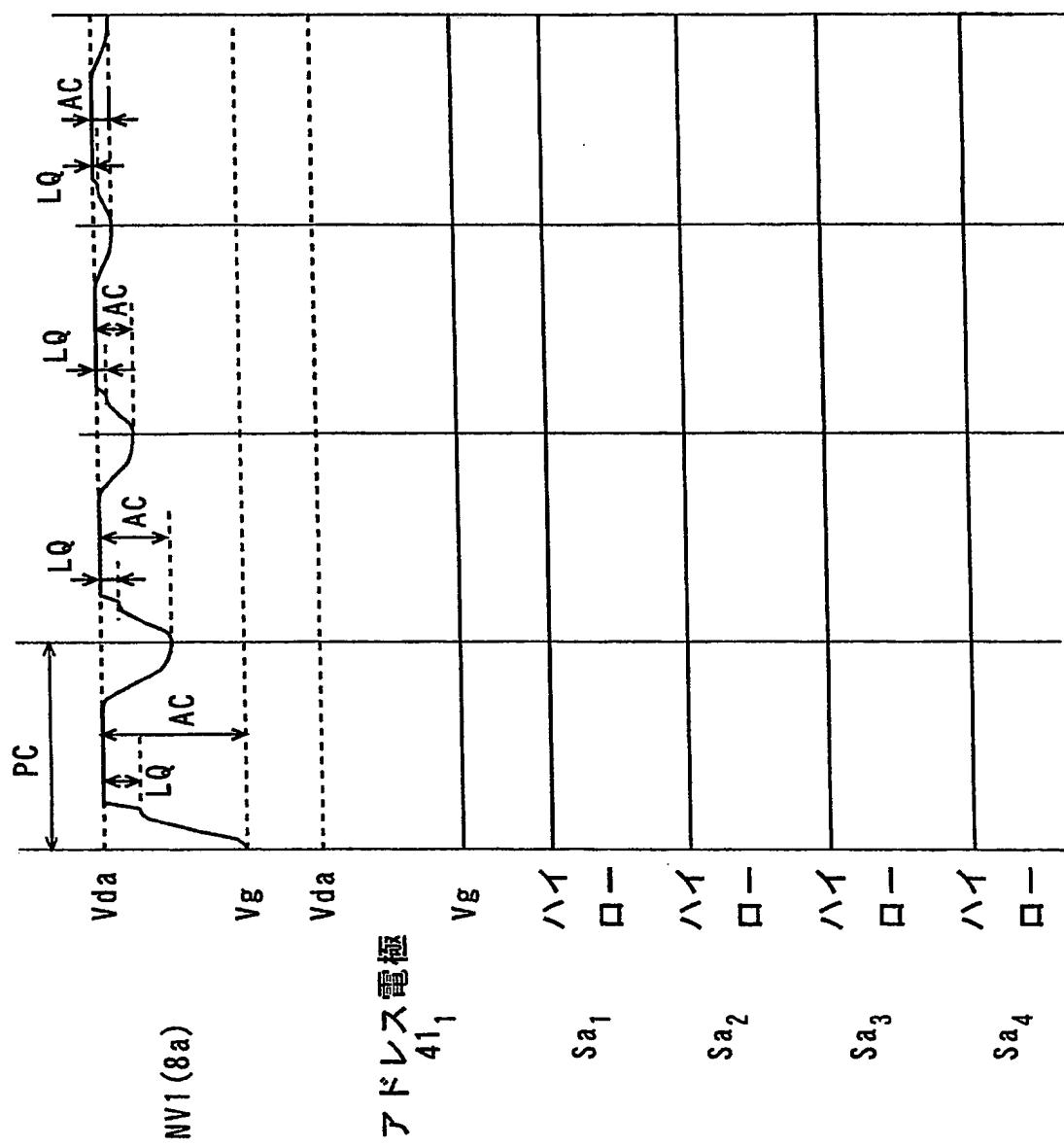
(c)



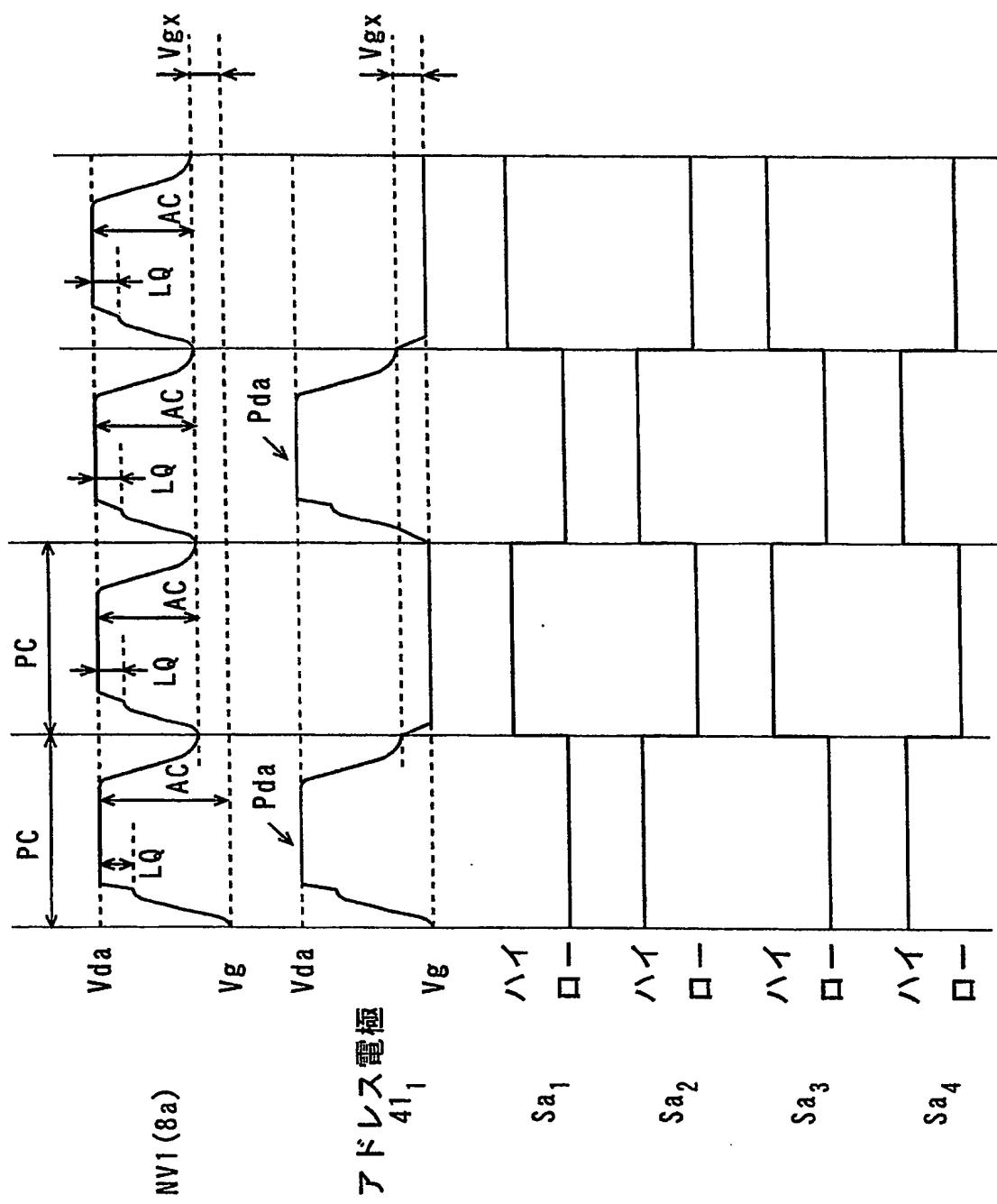
【図9】



【図10】

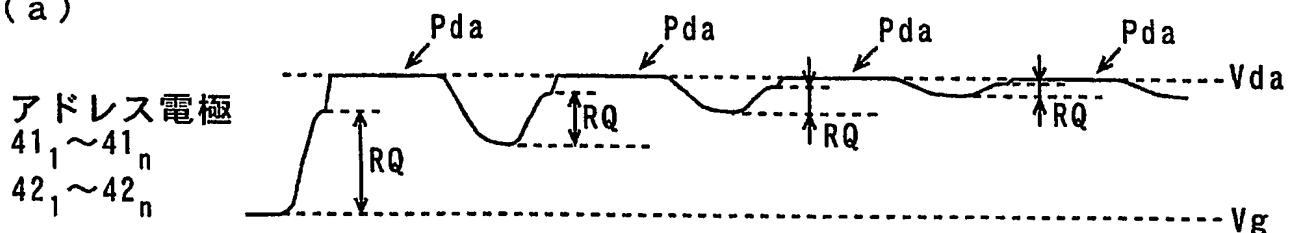


【図11】

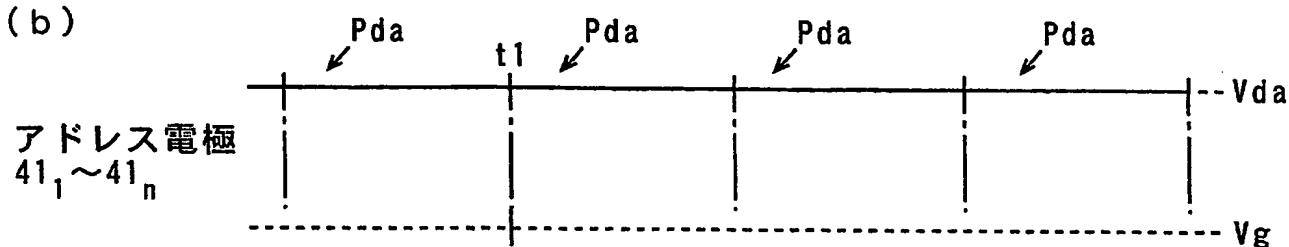


【図12】

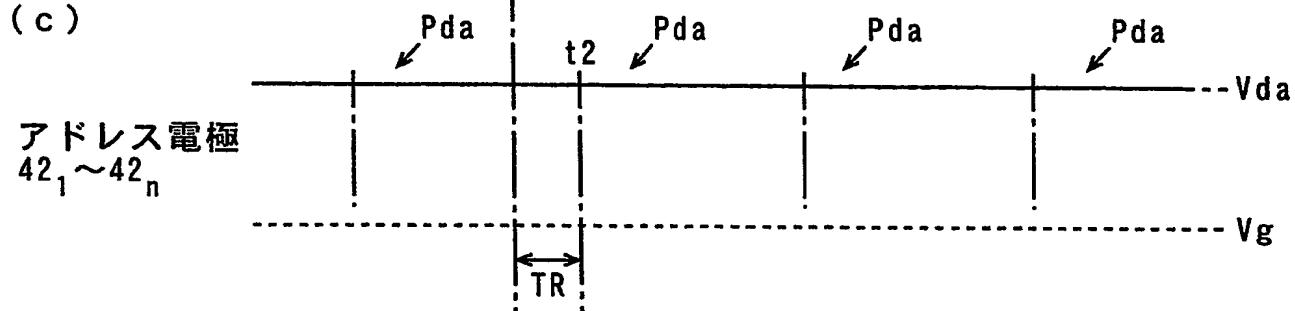
(a)



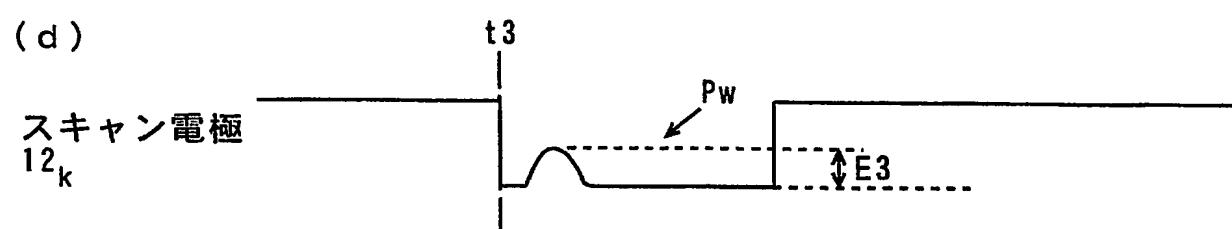
(b)



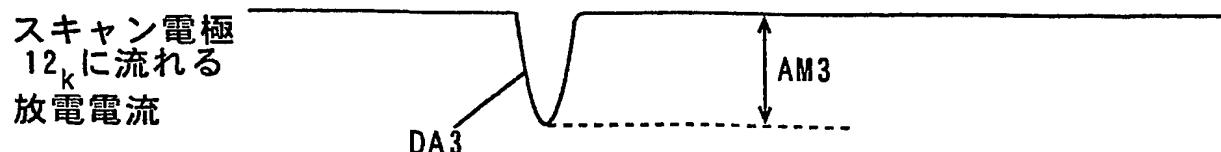
(c)



(d)

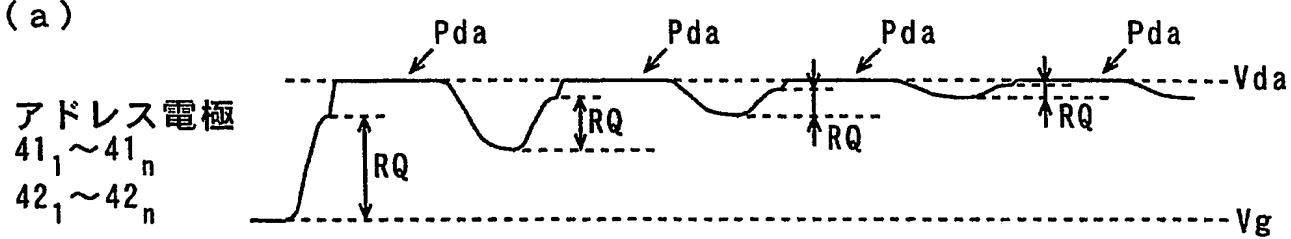


(e)

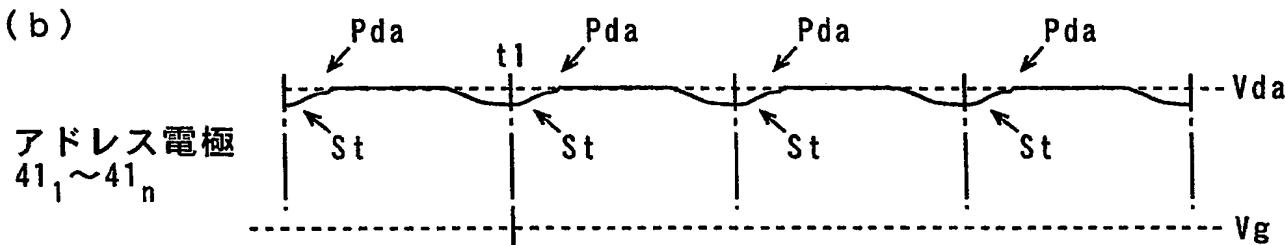


【図13】

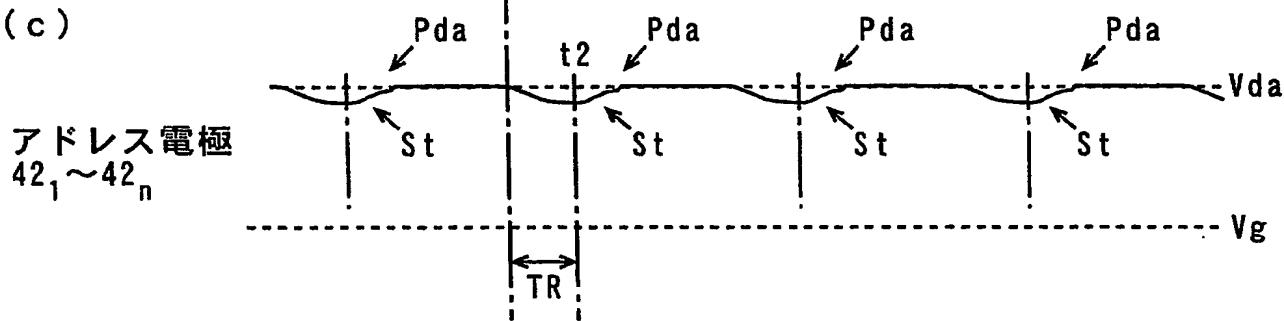
(a)



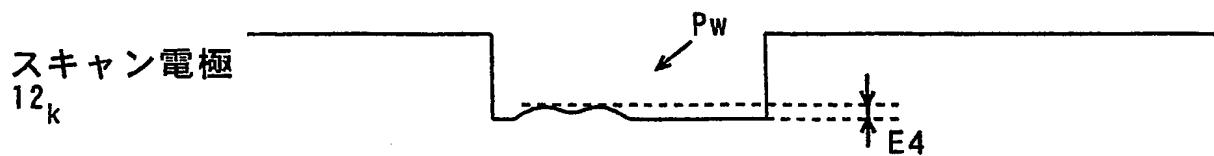
(b)



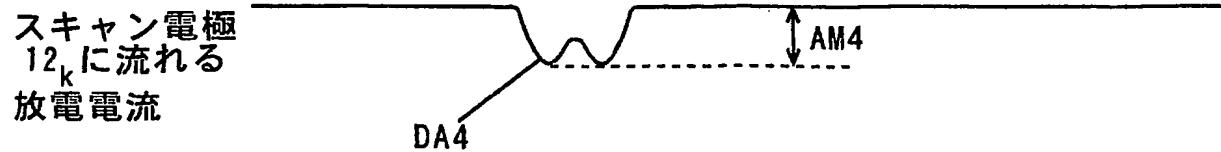
(c)



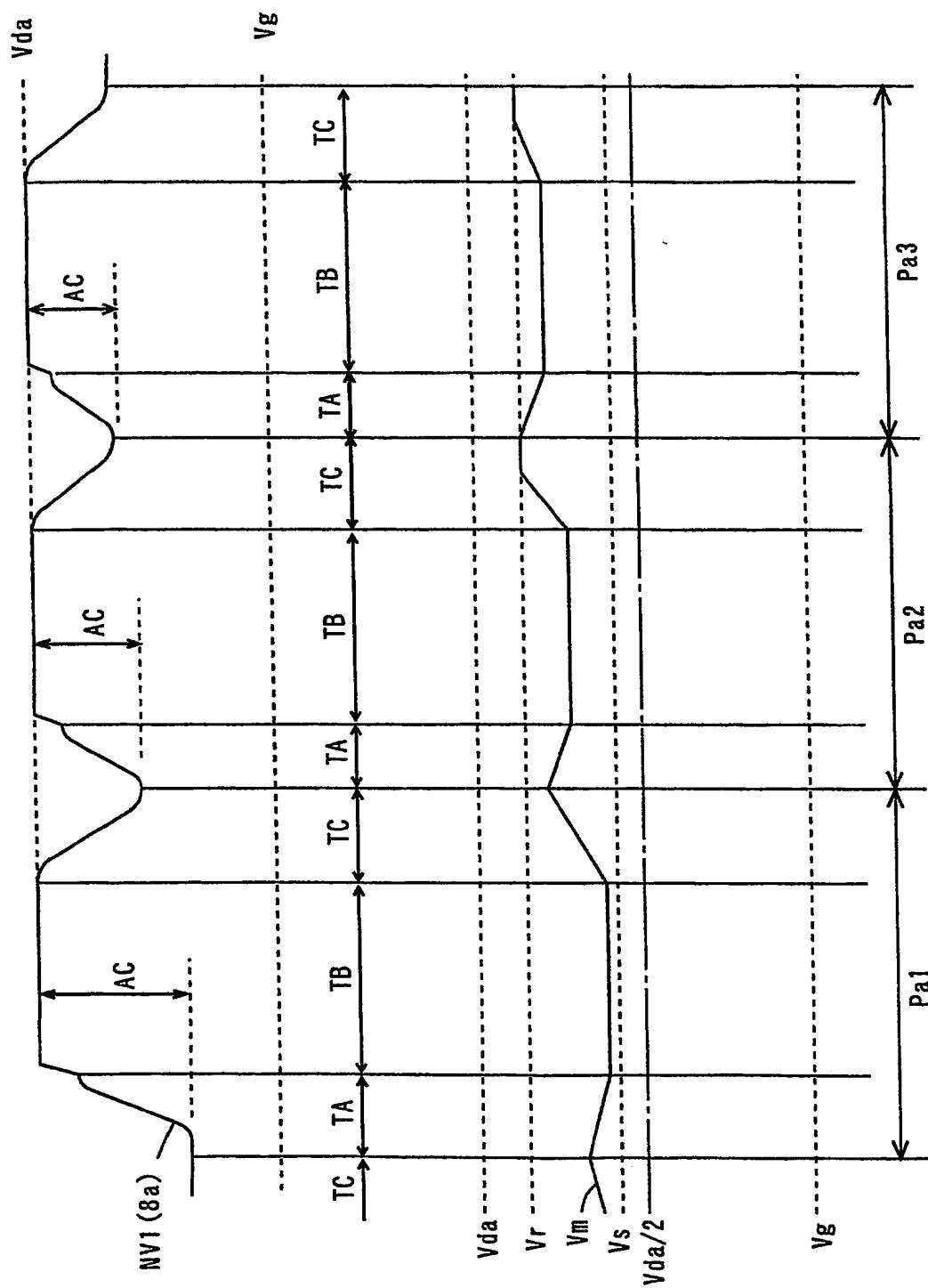
(d)



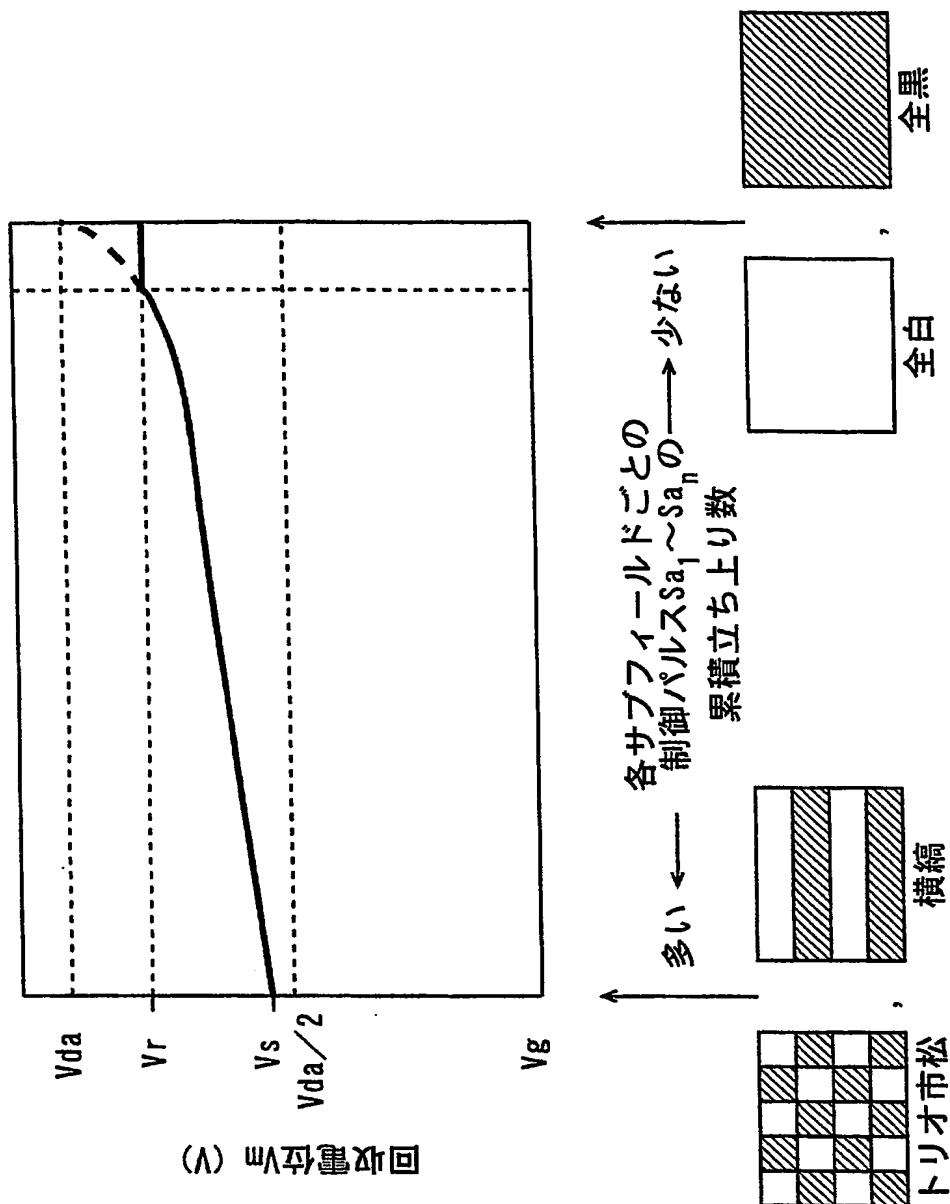
(e)



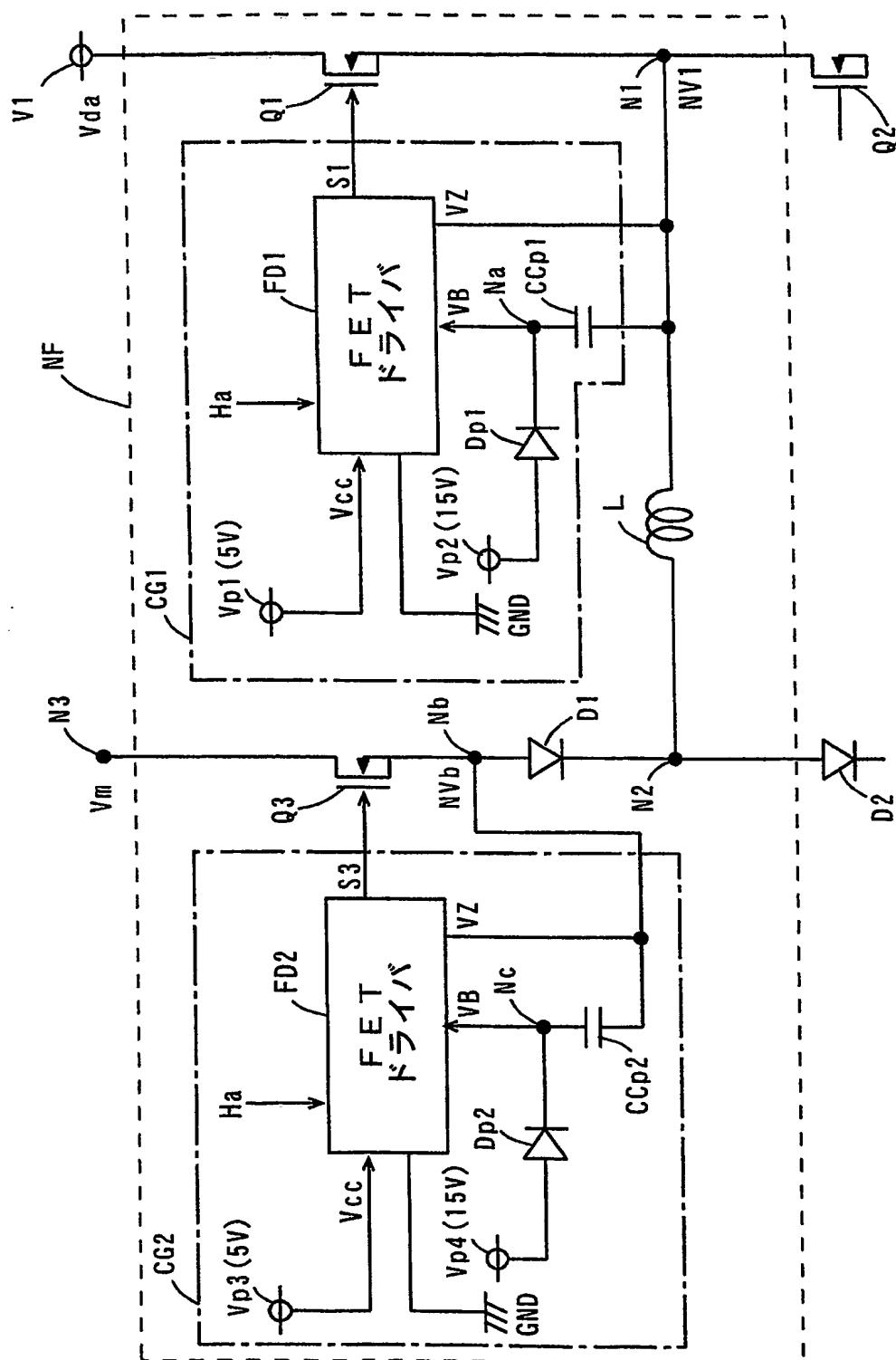
【図14】



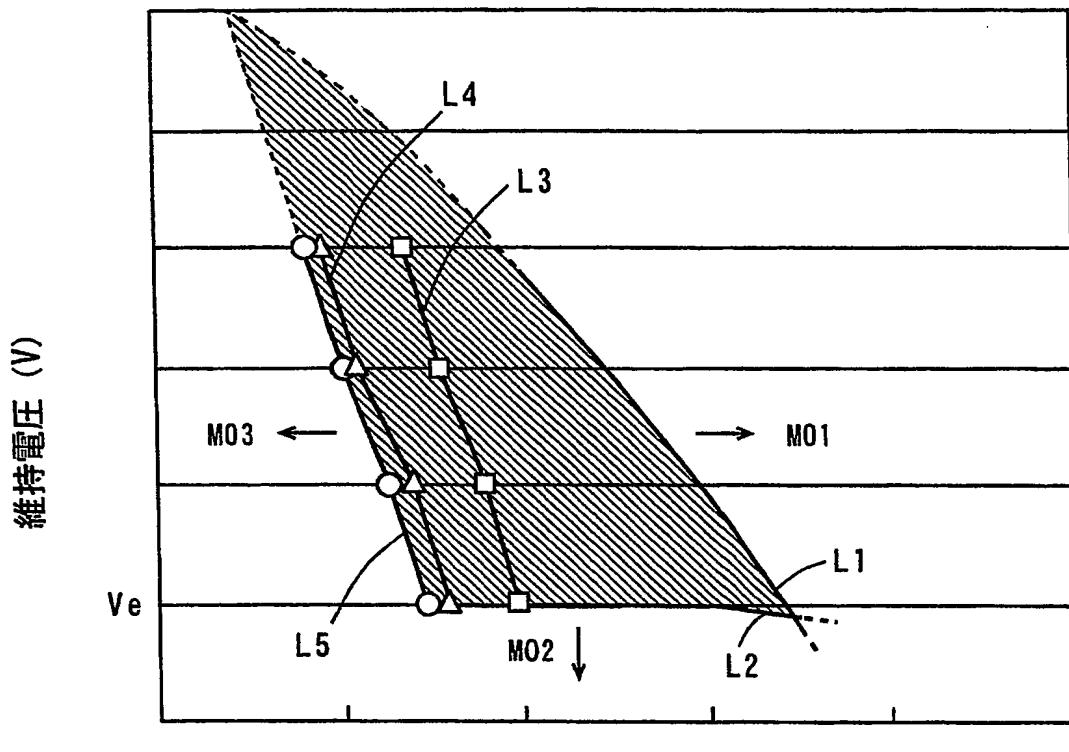
【図15】



【図16】



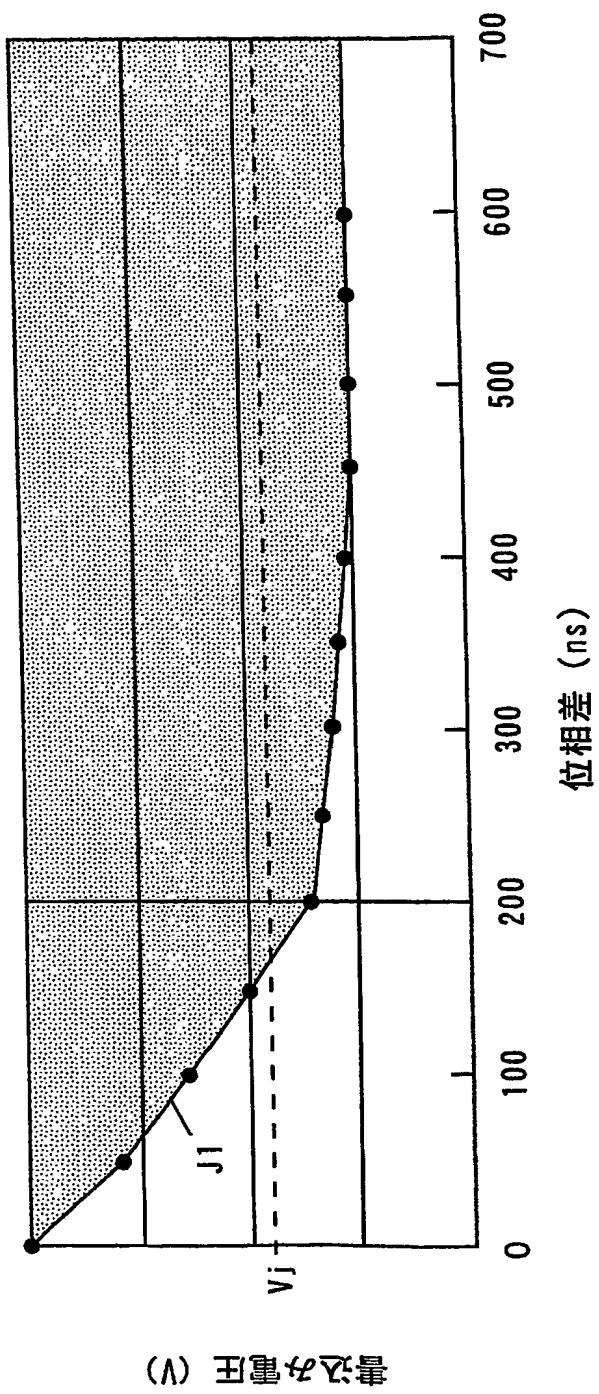
【図17】

駆動マージン ($V_r=0.8V_{da}$ の場合)

- : 位相差 0
- △ : 位相差 150nsec
- : 位相差 200nsec

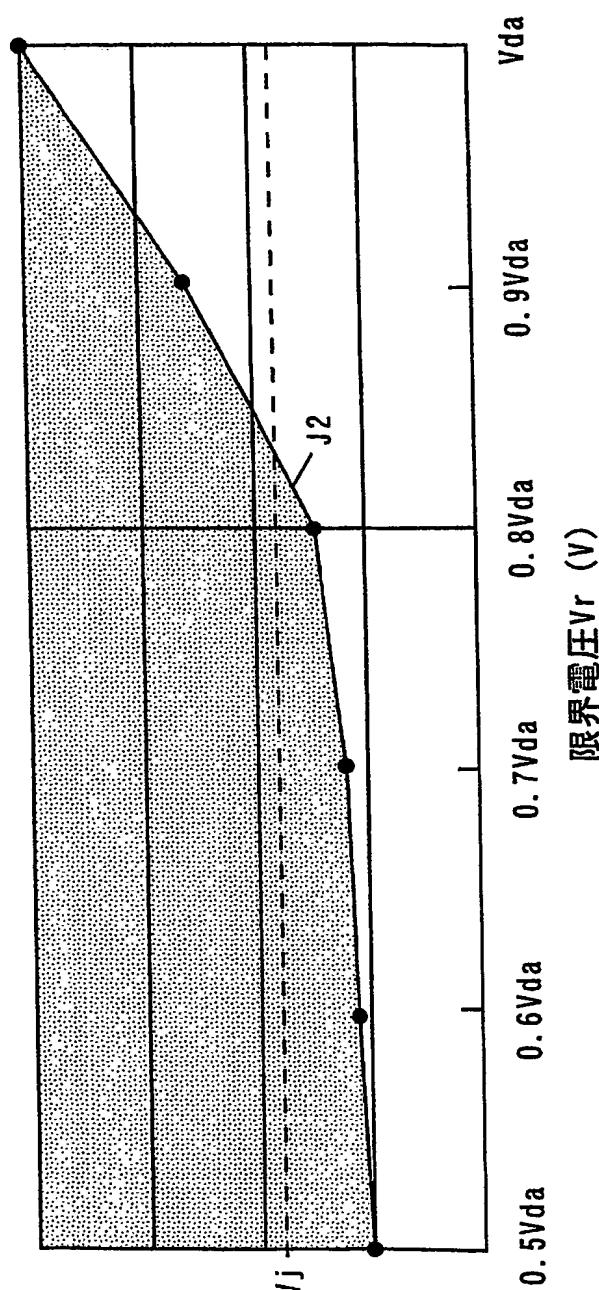
【図18】

安定した放電を得ることができることができる書き込み電圧
(維持電圧を所定の電圧値 V_e とし、 $V_r=0.8V_{da}$ とした場合)



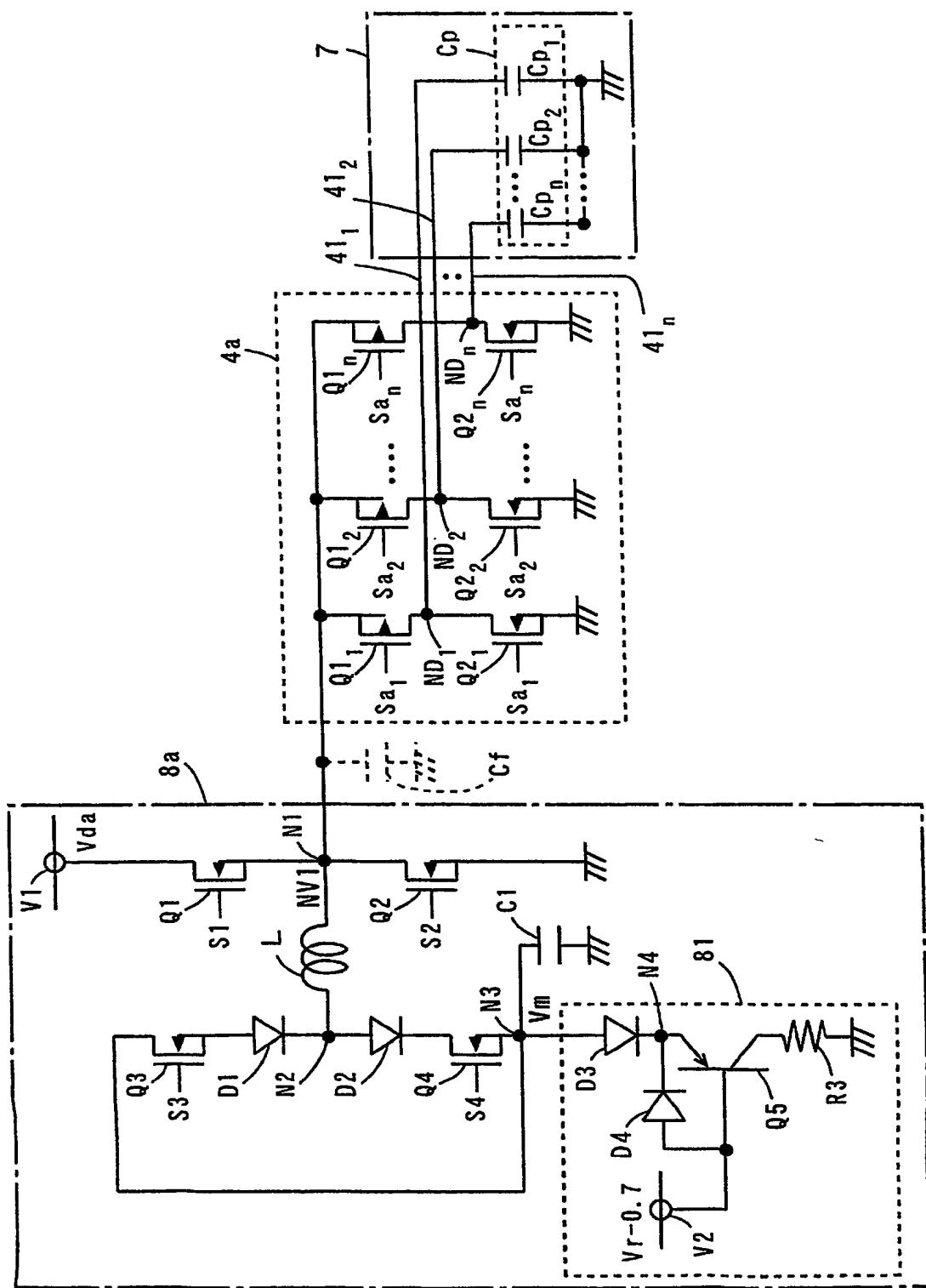
【図19】

安定した放電を得ることができることができる書き込み電圧
(維持電圧を所定の電圧値 V_e とし、位相差200nsとした場合)

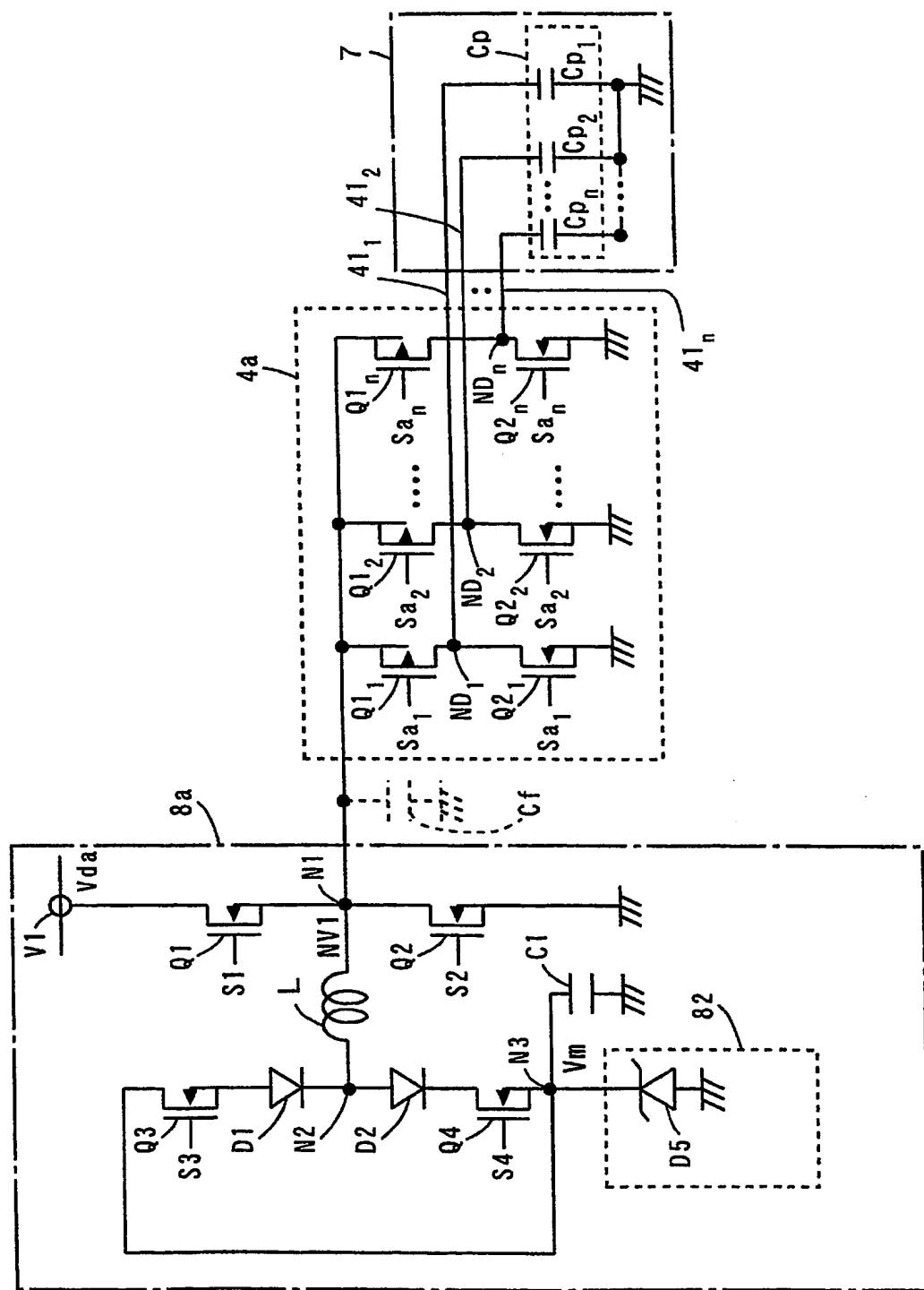


(A) 書き込み電圧 (V)

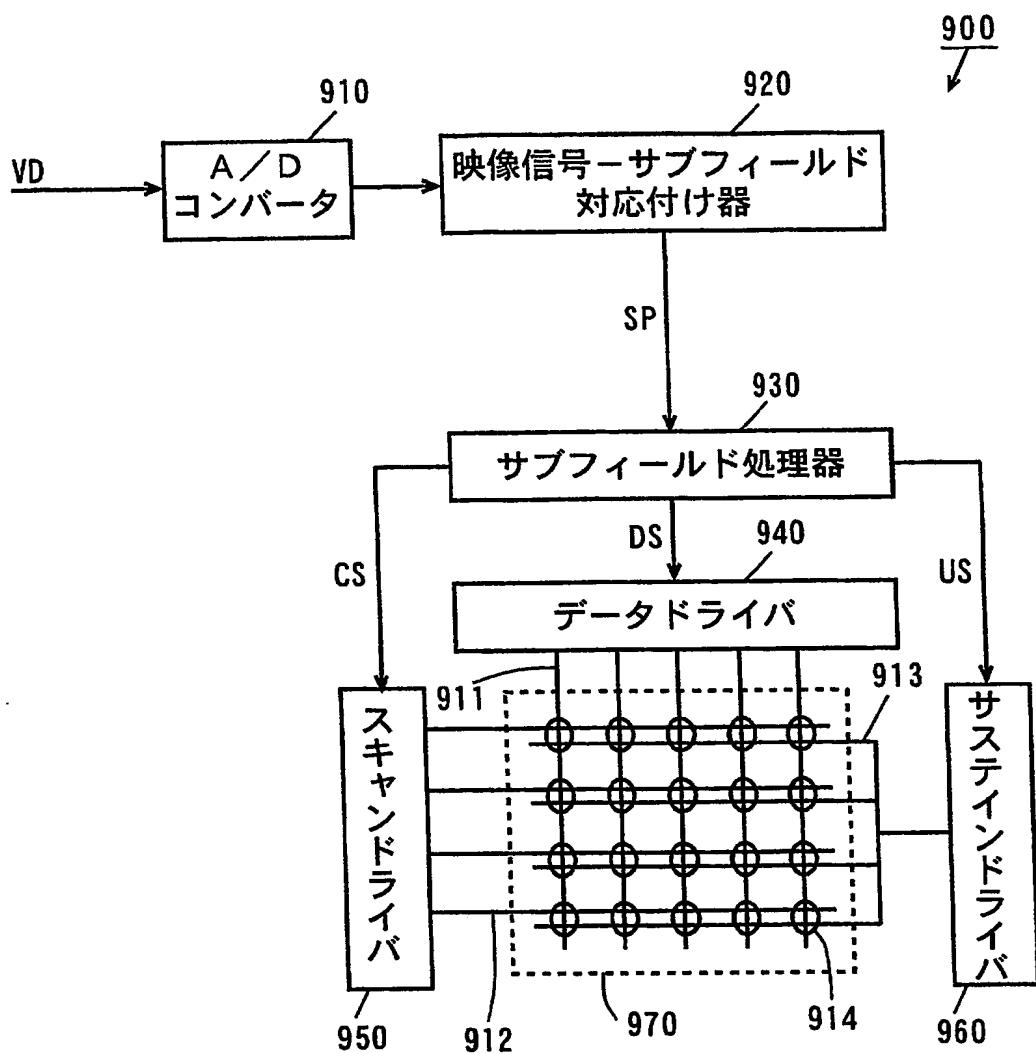
【図20】



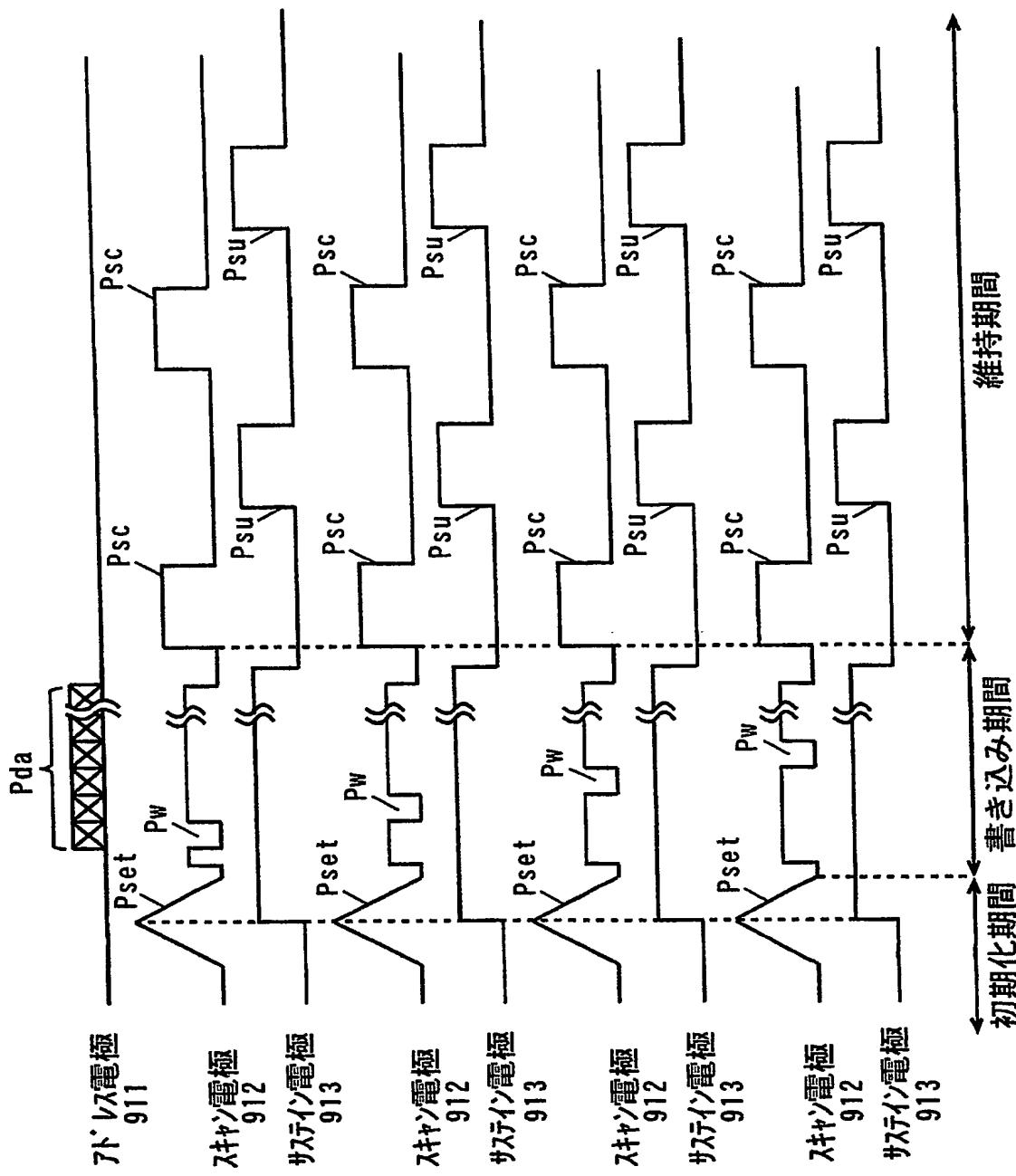
【図21】



【図22】

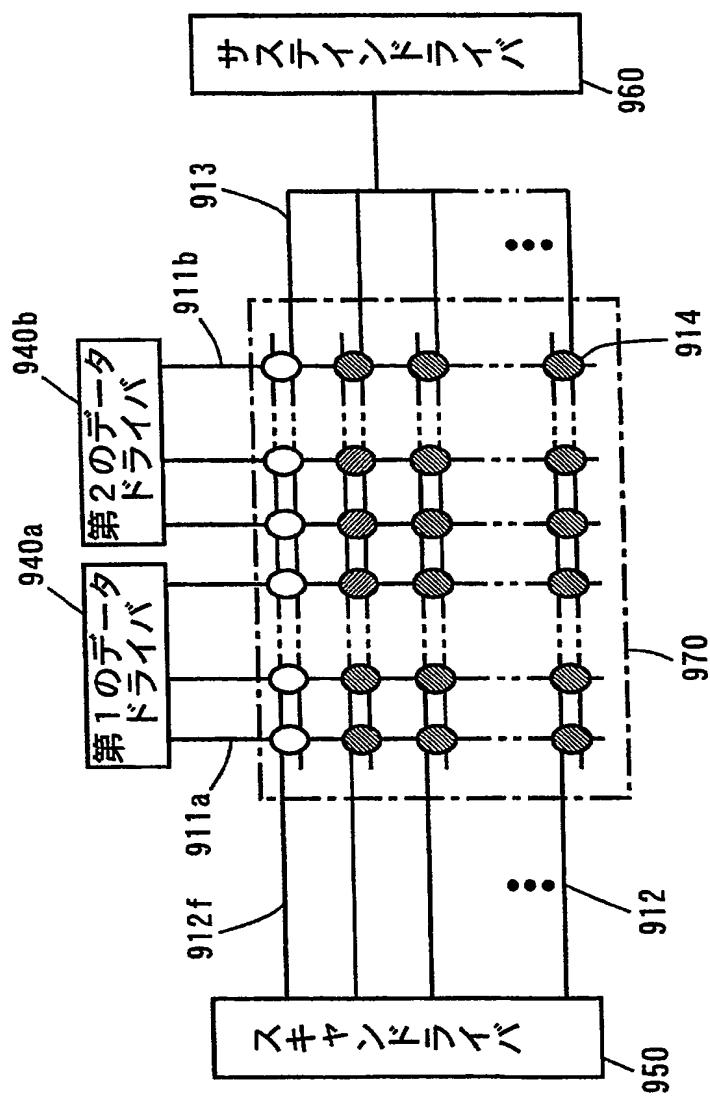


【図23】



【図24】

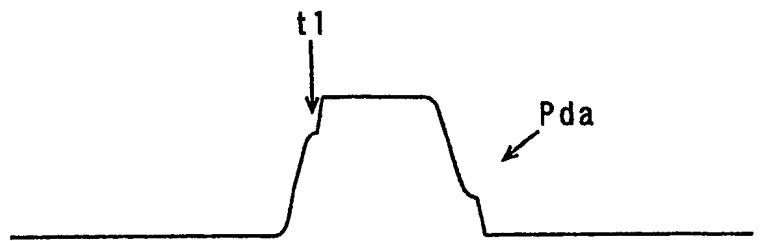
10



【図25】

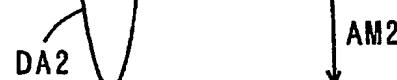
(a)

アドレス電極
911a, 911b



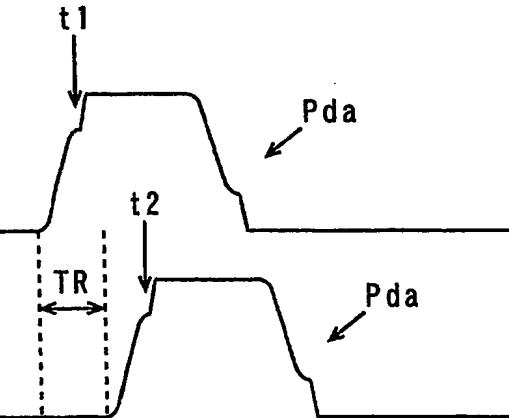
スキャン電極
912f

スキャン電極
912f に流れる
放電電流

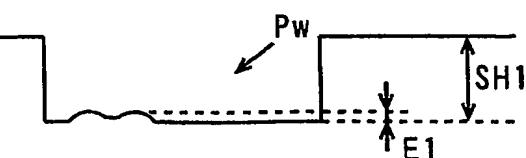


(b)

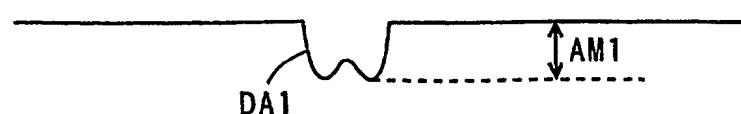
アドレス電極
911a



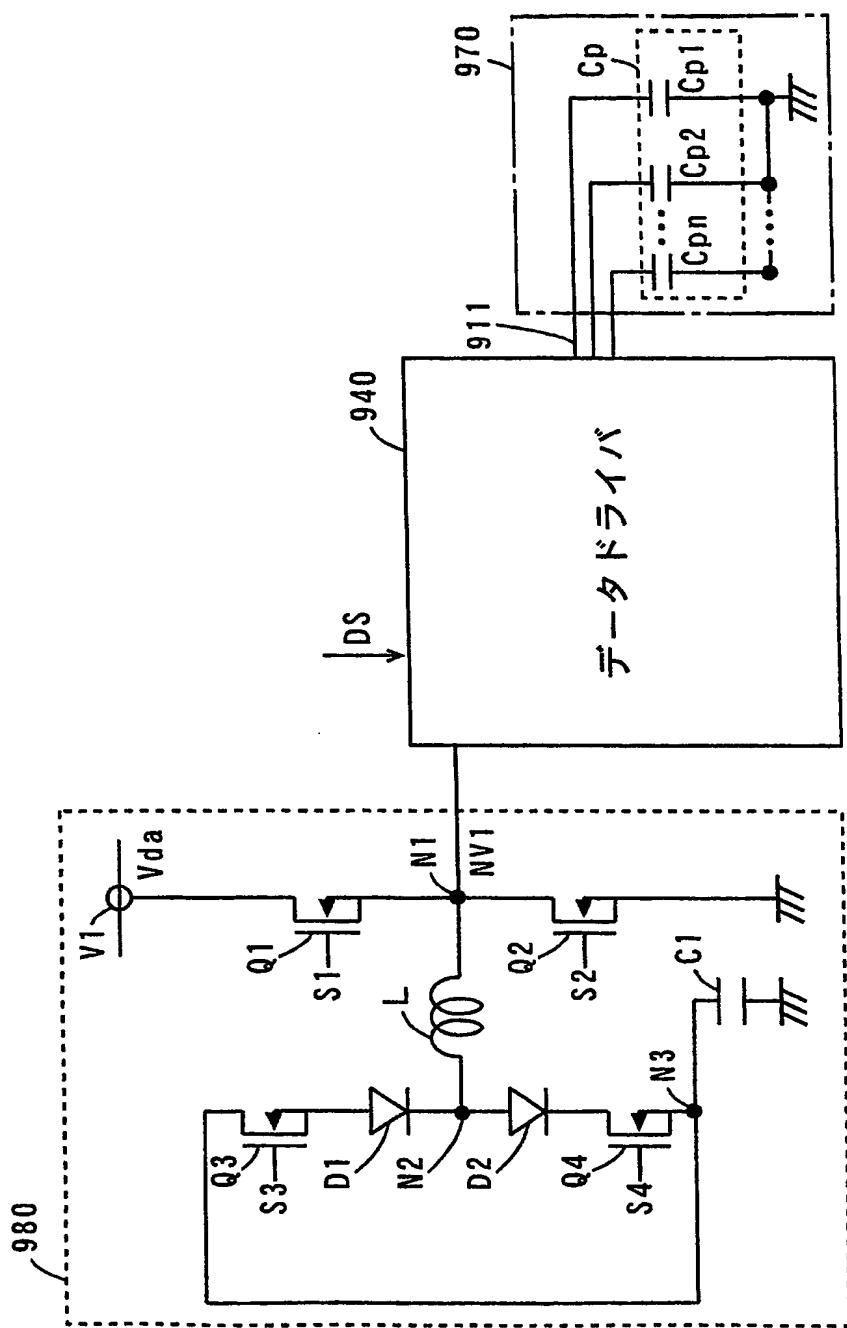
アドレス電極
911b



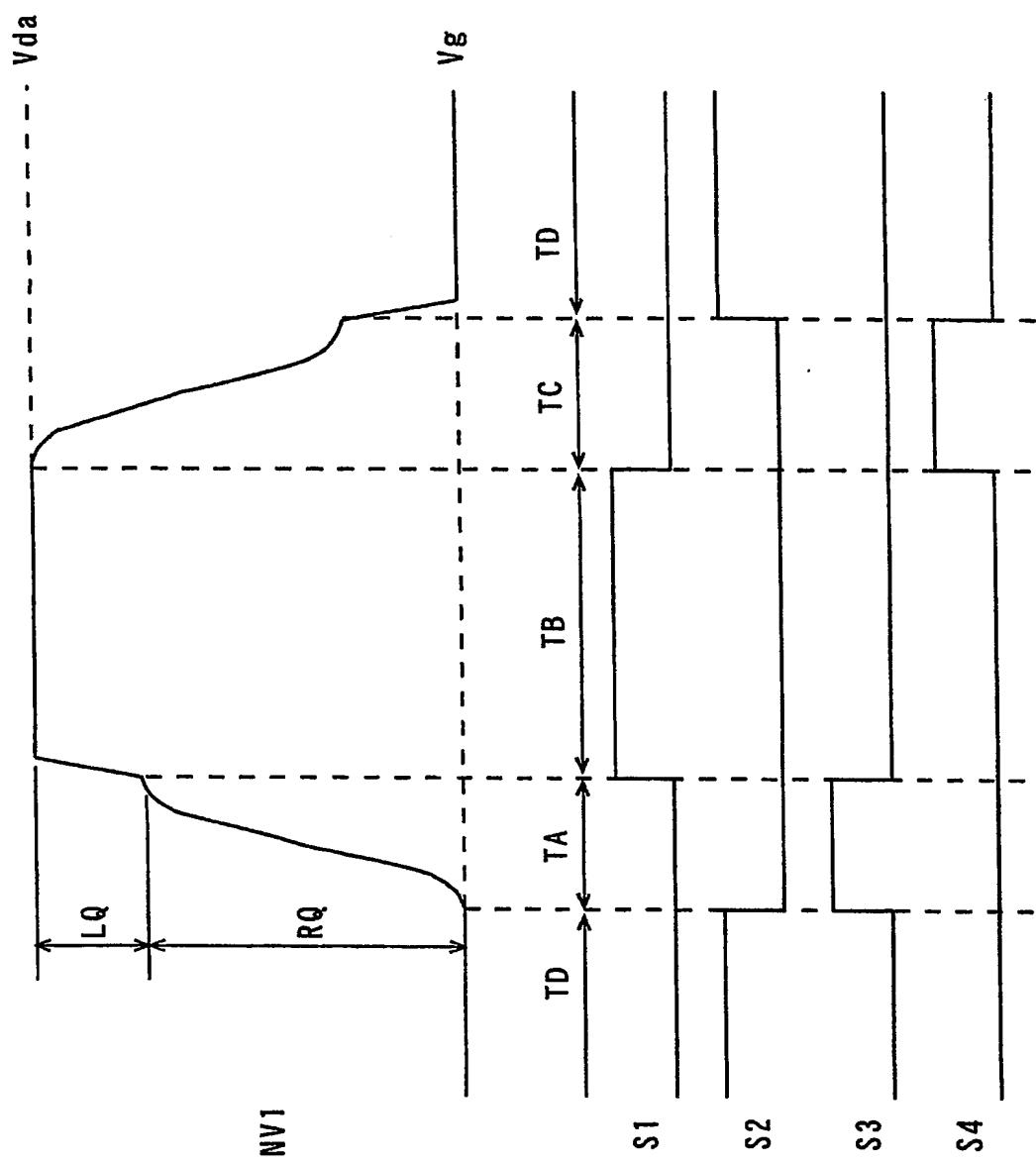
スキャン電極
912f



【図26】

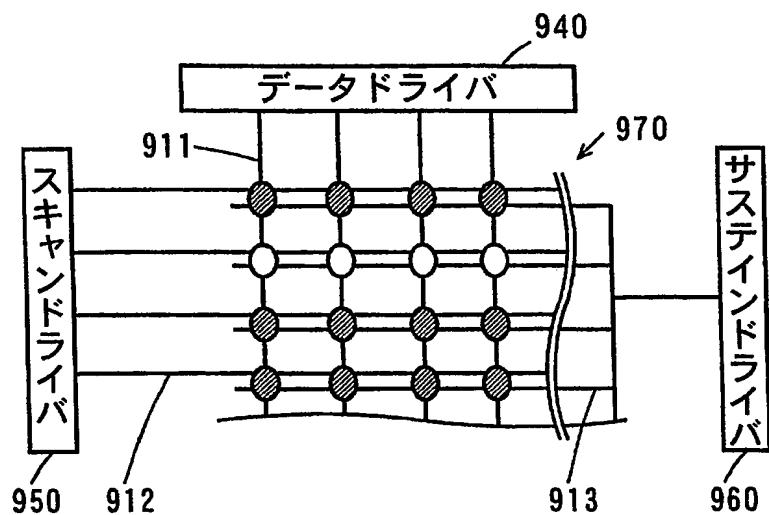


【図27】

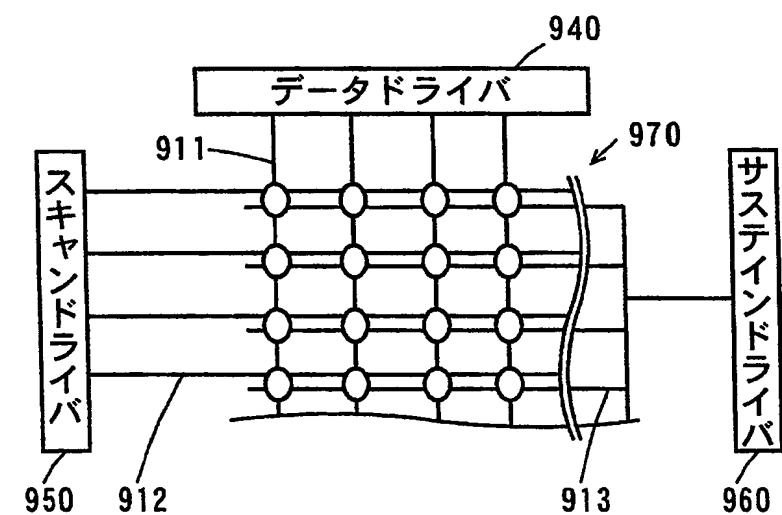


【図28】

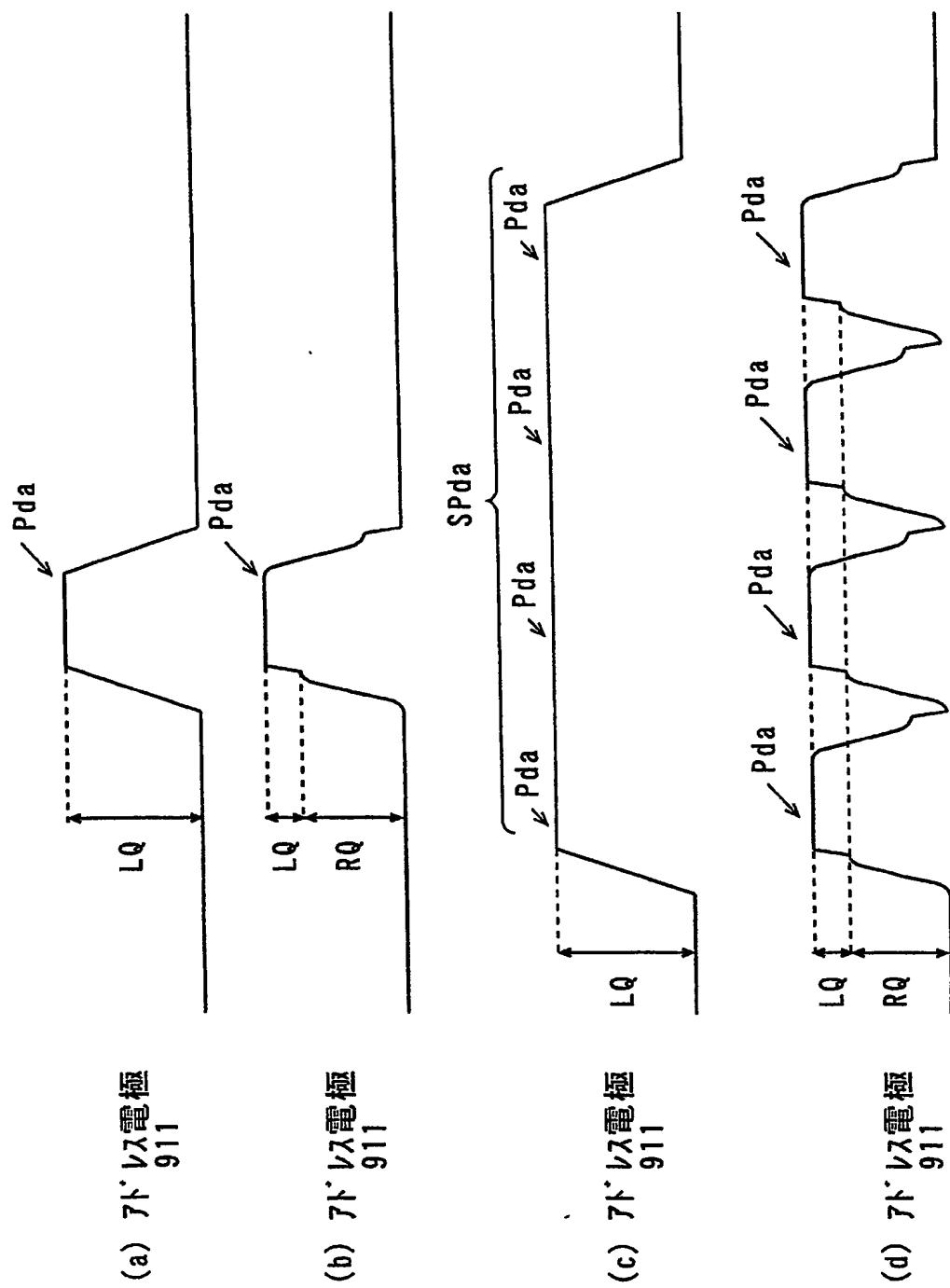
(a)



(b)



【図29】



【書類名】要約書

【要約】

【課題】 消費電力を十分に低減しつつ安定した放電を行うことができる表示装置およびその駆動方法を提供する。

【解決手段】 第1のデータドライバ群4aは、サブフィールド処理器3、第1の電力回收回路8aおよびPDP7に接続され、第2のデータドライバ群4bは、サブフィールド処理器3、第2の電力回收回路8bおよびPDP7に接続されている。第1および第2のデータドライバ群4a、4bは、PDP7へ互いに位相が異なるデータパルスを印加する。第1および第2の電力回收回路8a、8bは、LC共振により第1および第2のデータドライバ群4a、4bにデータパルスを生成するための電圧を発生し、PDP7への電荷の放出およびPDP7からの電荷の回収を行う。回収コンデンサの回収電位は、PDP7の放電セル14の放電と非放電との切り替わり回数に応じて変化する。

【選択図】 図1

特願 2003-273800

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住所

大阪府門真市大字門真1006番地

氏名

松下電器産業株式会社